

新製品

256ワード×4ビット 不揮発性スタティック RAM MBM2212

近年、さまざまな分野で急速にエレクトロニクス化が進み、またそれにつれて全く新しい機能を持つ機器も開発されています。このような状況下において、サービスや保守上の工数やコスト、あるいは自己診断・訂正などのシステム新機能上の問題から、DIP スイッチやポテンショ・メータの設定をキーボードやプログラムによって変更したり、プログラムやシステムの固定データを変数化する（例えば校正用データの更新）要求がますます強くなってきました。

今回これらの应用到に最適な 256 ワード×4 ビット構成の不揮発性スタティック RAM, MBM2212 を開発・製品化しました。

不揮発性スタティック RAM (Non-Volatile Static RAM, 略して NVRAM と呼ばれている。)とは、通常のスラティック RAM (SRAM) と電気的に書換え可能な PROM (EEPROM) とをビット単位で 1 対 1 に組み合わせて同一チップ上に集積したものです。通電時は高速・自由・無制限に読み書きできる SRAM として使用し、電源切断時には不揮発性メモリである EEPROM をバックアップ・メモリとして使用するわけです。

以下に MBM2212 の概要を示します。

特 長

MBM2212 は 1024 ビットの SRAM と 1024 ビットの EEPROM を集積した NVRAM で、256 ワード×4 ビット構成です。外部からの 2 つの信号により、SRAM のデータを EEPROM に退避させる動作（ストアと呼ぶ）、および EEPROM の不揮発データを SRAM 上に復元する動作（アレイ・リコール、略してリコールと呼ぶ）を制御します。これらの動作は全ビット同時に一括して行われます。ここで、EEPROM データの読み書きはすべて SRAM を通して行われることに注意して下さい。図 2 にブロック・ダイアグラムを示します。入力信号は

表 1 機能表

入 力				動作モード	入出力	消費電流
CS	WE	AR	ST			
H	×	H	H	非 選 択	高インピーダンス	スタンバイ
L	H	H	H	SRAM リード・モード	出 力	動 作
L	L	H	H	SRAM ライト・モード	入 力	動 作
×	H	L	H	Array Recall	高インピーダンス	スタンバイ
H	×	L	H	Array Recall	高インピーダンス	スタンバイ
×	H	H	L(U)	Nonvolatile Storing	高インピーダンス	動 作
H	×	H	L(U)	Nonvolatile Storing	高インピーダンス	動 作

×: H, L に無関係

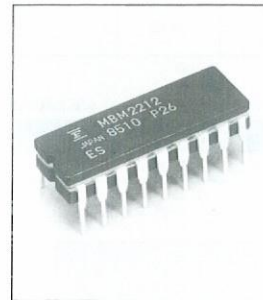


写真 1 外観

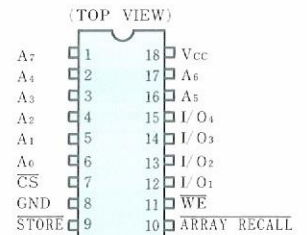


図 1 端子配列

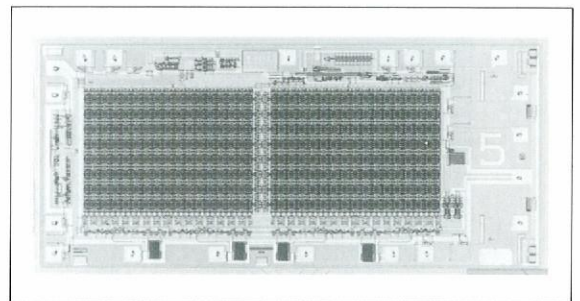


写真 2 チップ

TTL レベルで、5 V 単一電源で動作し、高電圧電源は必要ありません。パッケージは 18 ピン 300 ミル幅標準 DIP パッケージです。

MBM2212 は NMOS シリコン・ゲート技術を使用し、

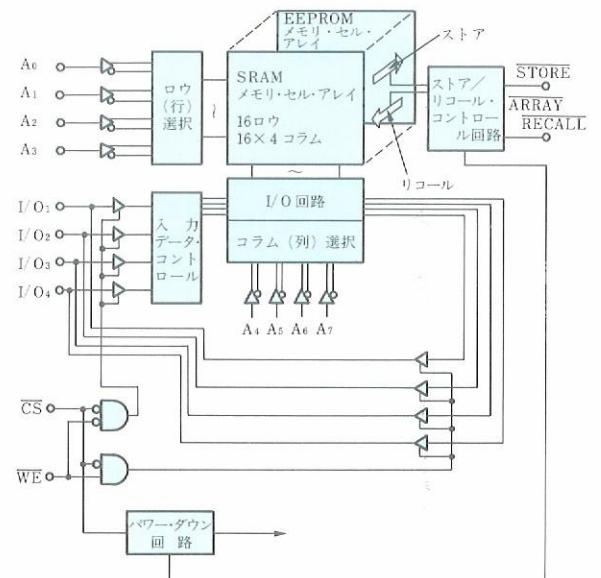


図 2 ブロック・ダイアグラム

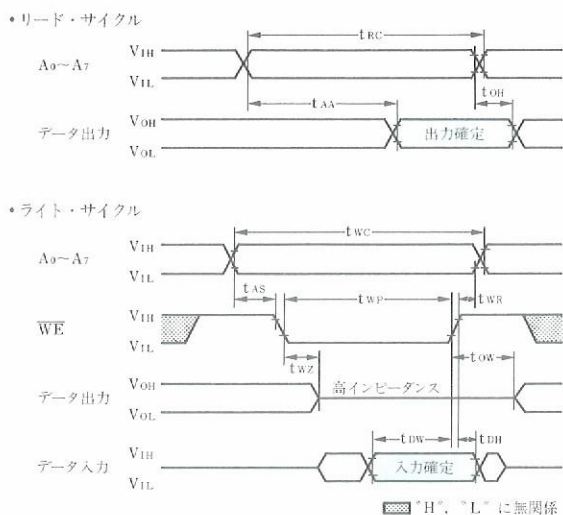


図3 SRAM リード/ライト・タイミング・ダイアグラム (WE コントロール, CS = "L")

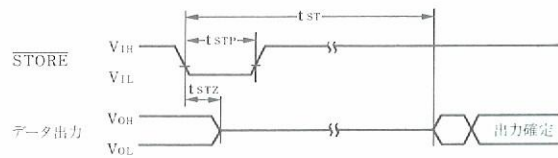


図4 ストア・タイミング・ダイアグラム (CS = "L", WE = "H")

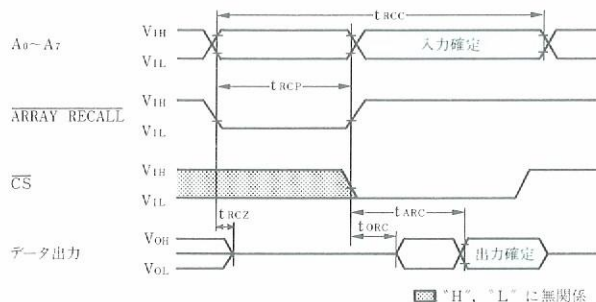


図5 リコール・タイミング・ダイアグラム (WE = "H")

EEPROM はフローティング・ゲート構造です。(なお MBM2212 は Xicor 社 X2212 とピン・コンパチブルです。)

特 性

SRAM のリード/ライトは従来の一般的な SRAM と変わりません。CS および WE 信号で動作をコントロールします。図 3 および表 2 にタイミングと特性の概略を示します。

ストアは STORE 端子にロー・レベル・パルス (L) を印加することによって開始され、内蔵のタイマにより自動的にストア動作は継続され、例えば 9ms (この時間をストア・タイムと呼ぶ)後に終了します。これで SRAM の全ビットのデータは EEPROM 上にコピーされ保持されます。ストア動作継続中はデータ内容の保護のため、すべての入力信号は受け付けられず、データ入出力端子は高インピーダンス状態となります。

EEPROM の書き換え可能回数はビット当たり 1 万回、総ストア回数で 10 万回です。(図 4)

リコールは ARRAY RECALL 端子にロー・レベル・パルス (L) を印加することによって開始され、1.2μs で終了します。EEPROM のデータはこの 1 回のパルスにより全ビット同時に SRAM 上にコピーされますが、リコール後も EEPROM のデータは保持されているのでリコールは無制限回行えます。(図 5)

ストアとリコールおよび SRAM ライトは動作開始上同格にあり、早くそのモードにセットされた方が優先されます。表 1 に機能表を示します。

誤ストア・プロテクション

EEPROM に蓄積された不揮発データがノイズなどによって不本意にこわれてしまうことがあってはなりません。

表 2 電気的特性概要

項 目	記号	MBM2212-20	MBM2212-25
アクセス・タイム			
アドレスから	t _{AA}	200 ns Max.	250 ns Max.
チップ・セレクトから	t _{ACS}	200 ns Max.	250 ns Max.
ライト・サイクル・タイム	t _{WC}	300 ns Min.	300 ns Min.
電源電流			
動作時	I _{CC}	60 mA Max.	60 mA Max.
スタンバイ時	I _{SB}	30 mA Max.	30 mA Max.
ストア			
ストア・タイム	t _{ST}	10 ms Max.	15 ms Max.
ストア・パルス幅	t _{STP}	100 ns Min.	100 ns Min.
リコール			
リコール・サイクル・タイム	t _{RCC}	1.2μs Min.	1.2μs Min.
リコール・パルス幅	t _{RCP}	450 ns Min.	450 ns Min.
出力確定まで	t _{ARC}	750 ns Max.	750 ns Max.

ん。例えば、電源 ON/OFF 時に Vcc および入力が確定せず、誤ストアを起こしてしまう可能性が考えられます。MBM2212 はこれを防止するため、電源 Vcc が 3V 以下ではすべての動作を禁止しスタンバイ・モードにする回路を備えています。従って、信号入力は Vcc が 3V になるまでにハイ/ロウを確定すればよいことになります。なお、誤ストア防止をより完全に行うために、STORE 端子への Vcc プル・アップ抵抗接続、あるいは ARRAY RECALL 端子を GND レベルにしての電源 ON/OFF を推奨します。

以上のように、MBM2212 は新しい機能を持っており、この特長を利用した新しいメモリの使用方法が種々考えられるものと思います。



64 K × 1ビット 高速 CMOS スタティック RAM MB81C71

高速スタティック RAM は従来は NMOS の分野でしたが、最新のプロセス技術と回路技術を使用することにより低消費電力、高ノイズ・マージンなどの特長を持っている CMOS の分野においても製品化が可能となりました。これに伴って、高速動作および低消費電力が要求されるコンピュータのバッファ・メモリ、キャッシュ・メモリ、スーパー・コンピュータのメイン・メモリなどの分野においても高速スタティック RAM の需要が拡大してきています。

当社ではこれらの応用に適したメモリとして、64 Kワード×1ビット高速低消費電力スタティック RAM, MB81C71を開発・製品化しました。MB81C71は既に製品化している高速 NMOS スタティック RAM, MB8171と同一機能を持たせながら、動作時最大消費電力 440 mW, 最大アクセス・タイム 45 ns など、高速低消費電力化を実現しました。

特 長

MB81C71は CMOS ポリサイド・ゲート・プロセス技術を使用した 65,536 ワード×1ビット構成の完全スタティック型ランダム・アクセス・メモリです。入出力は TTL コンパチブル・レベル、電源は+5 V 単一電源で

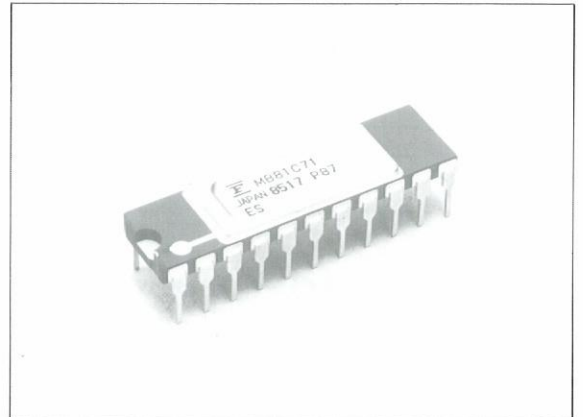


写真1 外観

す。パッケージとしては 22 ピン 300 ミル幅の標準型セラミック DIP パッケージ、プラスチック DIP パッケージおよびセラミック LCC パッケージがあります。

特 性

MB81C71の主な特長を表1に示します。

消費電力は最大周波数動作時で最大 440 mW です。CMOS 回路を使用しているため消費電力が動作周波数に依存し、動作周波数を低くするほど消費電力は減少し

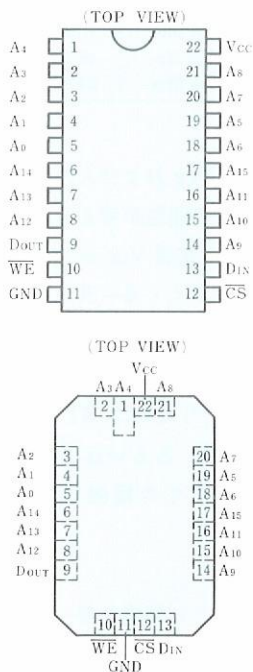
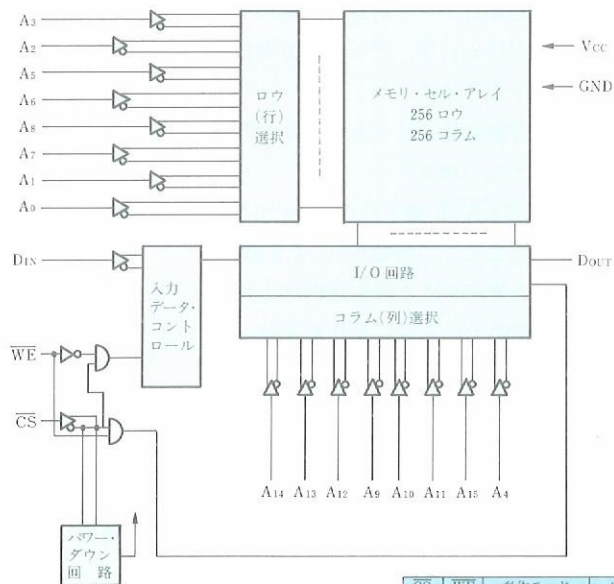


図1 端子配列



CS	WE	動作モード	出 力	消費電力
H	X	非 選 択	高インピーダンス	スタンバイ
L	L	ライト・モード	高インピーダンス	動作
L	H	リード・モード	DOUT	動作

X: H, L に無関係

図2 ブロック・ダイアグラム



ます。この特性の一例を図3に示します。

チップ・セレクト \overline{CS} を "High" レベルにすると、待機状態になると同時に自動的に低消費電力状態になります。この時の消費電力は最大 138 mW ですが、さらに入力端子をすべて GND または V_{CC} のレベルに固定すれば 83 mW 以下になります。

最新のプロセス技術および高速回路技術により、最大アクセス・タイムは最悪条件下でも 45 ns 以下と高速化されています。

以上のように、MB81C71 は高速化および低消費電力化を実現しており、大容量、高性能メモリ・システムに適したデバイスです。

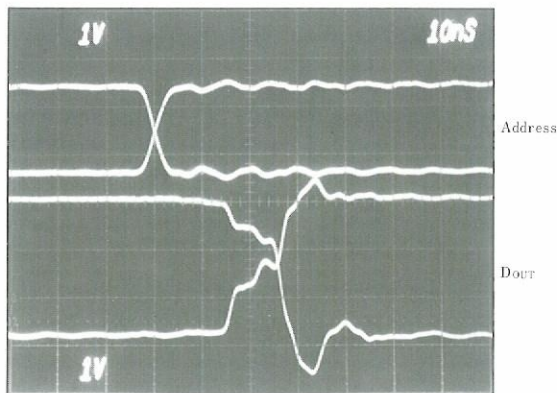


写真2 アドレス・アクセス出力波形

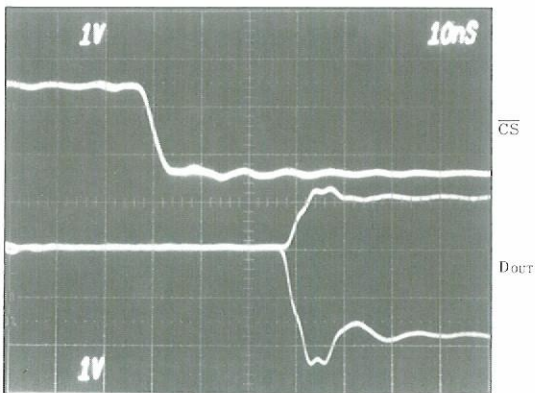


写真3 \overline{CS} アクセス出力波形

表1 特長

構 成	64 Kワード×1ビット	
電 源 電 圧	+5 V±10 %	
入出力レベル	TTL コンパチブル	
動作時電源電流	$\overline{CS} = V_{IL}$	80 mA Max.
静止時電源電流	I_{SB1} $\overline{CS} = V_{CC}, V_{IN} = GND$ または V_{CC}	15 mA Max.
	I_{SB2} $\overline{CS} = V_{OH}$	25 mA Max.
アクセス・タイム	t_{AA} アドレスから	45 ns/55 ns Max.
	t_{ACS} チップ・セレクト (\overline{CS}) から	45 ns/55 ns Max.
動 作 温 度	0 °C ~ 70 °C	
パ ッ ケ ー ジ	標準22ピン DIP, セラミック LCC	

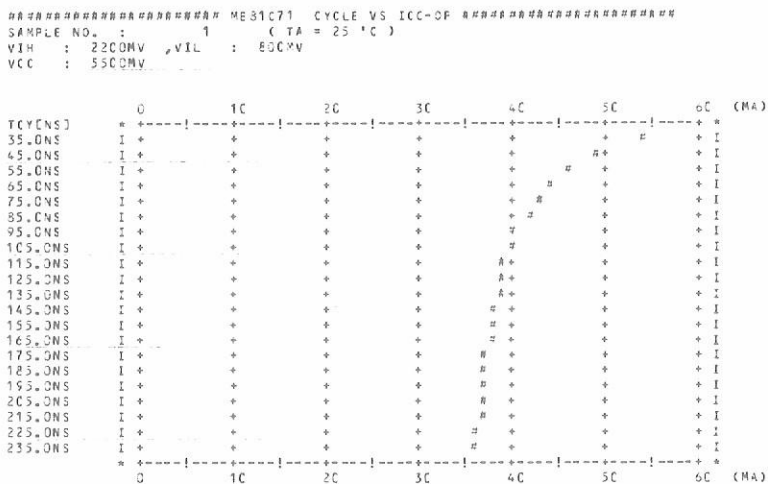
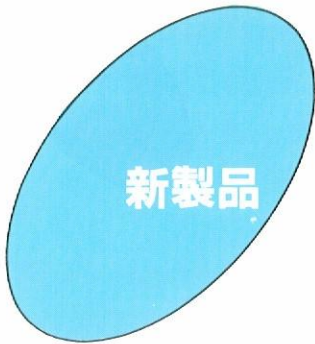


図3 動作時電源電流のサイクル・タイム依存性



8 K × 9ビット 高速 CMOS スタティック RAM MB81C79

CMOS スタティック RAM は近年めざましい進歩がみられ、本来の特長である低消費電力、高ノイズ・マージンなどの使いやすさをそのまま残し、次第に高速化、高集積化がなされてきました。これにともなって使用される分野も年々広まり、各種端末機器のほか、高速動作の要求されるコンピュータのバッファ・メモリ、キャッシュ・メモリ、スーパー・コンピュータのメイン・メモリとしても需要が拡大しています。

当社ではこれらの応用に適したメモリとして 8192ワード×9ビット高速 CMOS スタティック RAM、MB81C79 を開発・製品化しました。MB81C79 は 9本のデータ入出力端子を持ち、1バイト幅のメモリを構成する場合、従来のようにパリティ・ビットのために別にメモリ IC を付加する必要がなくなり、装置の小型化、低消費電力化が図れます。

特長

MB81C79 は CMOS ポリサイド・ゲート技術を駆使した 8192ワード×9ビット構成の完全スタティック型ランダム・アクセス・メモリです。入出力は TTL コンパチブル・レベル、電源は +5 V 単一電源です。パッケージは 28ピン 600 ミル幅の標準型セラミック DIP パッケージを使用しています。

特性

MB81C79 の主な特性を表 1 に示します。最新プロセス技術および回路を使用することにより、最大アクセス・タイム 45 ns を達成しています。また消費電力は最大

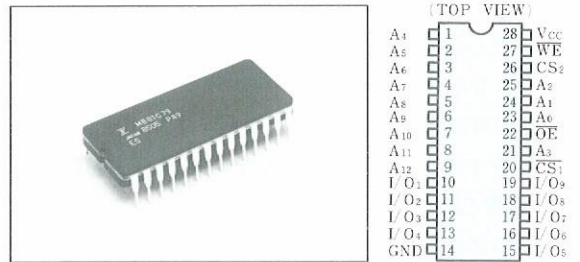


写真 1 外観

図 1 端子配列

660 mW です。チップ・セレクト 1 (\overline{CS}_1) を "High" レベルにすると、待機状態になると同時に自動的に低消費電力状態になります。この時の最大消費電力は 138 mW ですが、さらに入力端子をすべて GND または V_{cc} のレベルに固定すれば 83 mW 以下になります。

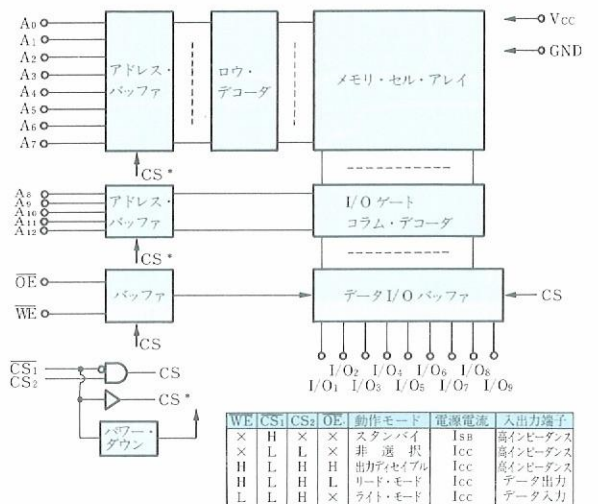


図 2 ブロック・ダイアグラム

表 1 特長

構成	8192ワード×9ビット	
電源電圧	+5 V	
入出力レベル	TTL コンパチブル・レベル	
動作電源電流	I_{cc} $\overline{CS}_1 = V_{IL}, I/O = \text{オープン}$ ミニマム・サイクル	120 mA Max.
待機電源電流	I_{sb1} $\overline{CS}_1 = V_{IH}, V_{IS} = V_{cc}$ または GND	15 mA Max.
	I_{sb2} $\overline{CS}_1 = V_{IH}$	25 mA Max.
アドレス・アクセス・タイム	t_{AA}	45 ns/55 ns Max.
\overline{CS}_1 アクセス・タイム	t_{ACS1}	45 ns/55 ns Max.
\overline{CS}_2 アクセス・タイム	t_{ACS2}	30 ns/40 ns Max.
OE アクセス・タイム	t_{OE}	20 ns/25 ns Max.
動作温度	T_a	0~70 °C
パッケージ	標準28ピン DIP	

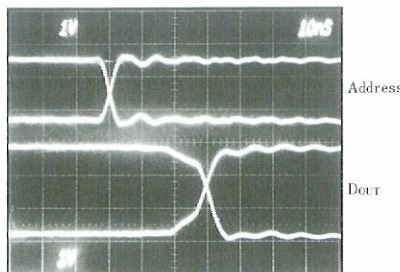


写真 2 アドレス・アクセス時の出力波形

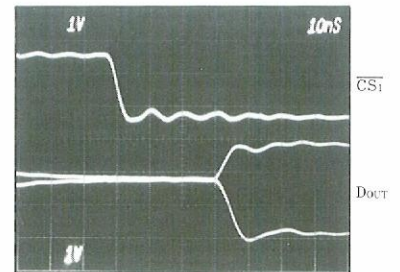


写真 3 \overline{CS}_1 アクセス時の出力波形