

Xtensa 프로세서 코어

Tensilica사의 Xtensa 프로세서는 자체 기능 설정 및 확장, 회로 합성이 가능한 프로세서 코어로서, 임베디드 시스템 온 칩 (SOC) 에 적용하려는 응용프로그램을 위해 특별히 설계된 최초의 마이크로프로세서 아키텍처입니다. 이 Xtensa 프로세서는 처음부터 기능 설정이 가능하도록 창안되었기 때문에 설계자들이 직접 적당한 작업을 해서 목표 SOC에 맞게 응용프로그램을 설계할 수 있도록 되어 있습니다.

이 Xtensa 프로세서는 기존의 다른 임베디드 프로세서 코어와 크게 다릅니다. - 이 프로세서는 기존의 SOC 설계 방법을 완전히 바꾸어 놓았습니다. Xtensa 기술을 사용하여 시스템 설계자는 미리 정의된 설계 요소들을 선택 설정할 수 있고, 기존의 다른 제품에 비해 월등히 빠른 속도로 기능 수행할 수 있도록 새로 고안된 명령어들과 하드웨어 실행 유닛을 사용함으로써 응용프로그램에 최적화된 프로세서를 제작할 수 있습니다. 이 Xtensa 프로세서 생성기는 또한 각 프로세서 설정에 대해 운영체제 지원을 포함한 완벽한 최적의 소프트웨어 환경을 자동적으로 만듭니다. 자체 기능 설정이 가능한 Xtensa 프로세서의 뛰어난 성능과 폭 넓은 적용성은 모든 복잡한 SOC 설계에 최상의 선택이 될 것입니다.

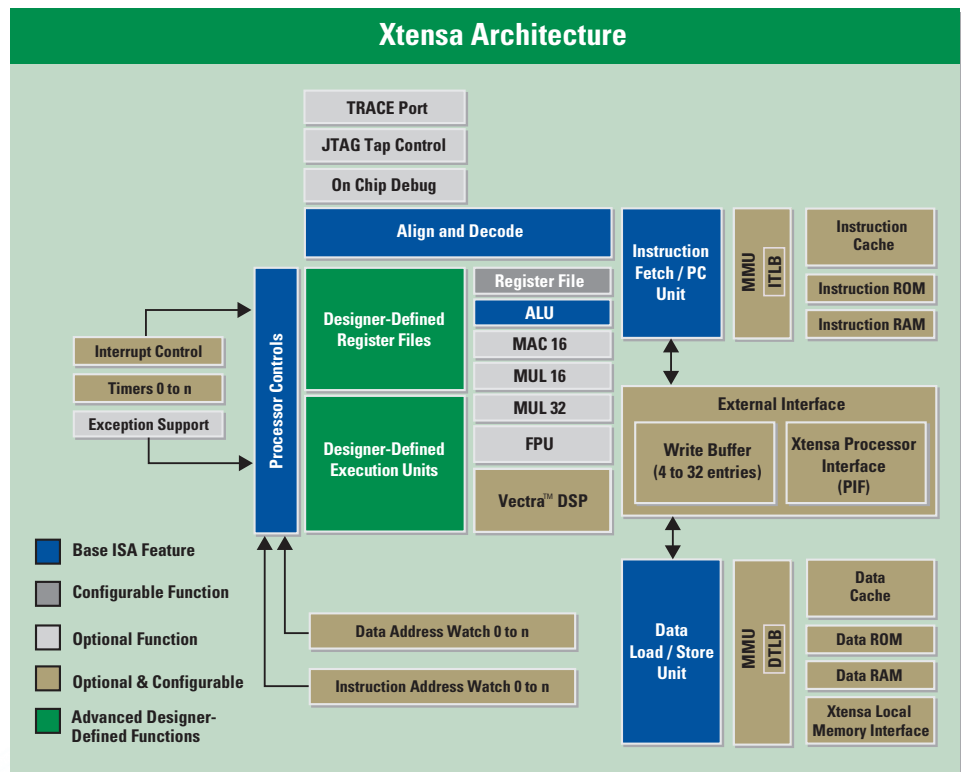


그림 1. Xtensa 아키텍처는 여러 가지 기능 설정이 가능한 블록들로 구성되어 있습니다. CONFIGURABLE FUNCTION 블록들은 시스템 설계자가 파라미터 값을 줄 수 있는 부분들입니다. OPTIONAL FUNCTION 블록들은 특정 응용프로그램들의 기능 가속화를 위한 부분이며 OPTIONAL AND CONFIGURABLE 블록들은 주변 기기를 포함한 응용프로그램들에 적절히 짜 맞추도록 선택할 수 있는 부분들입니다. ADVANCED DESIGNER-DEFINED FUNCTIONS 블록은 주어진 SOC 설계에 대한 특정 알고리즘을 가속화하기 위해 설계자가 프로세서에 추가하는 하드웨어 실행 유닛과 레지스터들입니다. Base Instruction Set 아키텍처는 모든 설정에 공통입니다.

설정 가능한 프로세서로써 SOC 설계를 보다 자유롭게

SOC 디자인은 보다 향상된 성능과 적은 비용, 작은 크기의 메인보드, 적은 전력소모를 통한 긴 배터리 수명 등을 가능케 합니다. 그러나 이 같은 설계는 종종 블록 간의 통합과 설계 검증, 하드웨어/소프트웨어 일체 개발 및 반도체의 호환등에 있어 해결하기 어려운 심각한 문제를 야기하기도 합니다. 종래 임베디드 SOC 설계자들은 워크스테이션급 아키텍처에나 사용되는 자체 설정이 불가능한 프로세서 코어를 가지고 솔루션을 개발할 수밖에 없었습니다. 이에 비해, Xtensa는 다른 시스템 블록들과 빠르게 연동되고 오늘날 요구되는 대용량, 고성능 임베디드 응용프로그램 처리에 적합하도록 자체 설정이 가능한 마이크로프로세서 코어를 제공합니다. Xtensa 코어는 특히 디지털 가전, 네트워크, 사무 자동화 및 무선통신의 임베디드 SOC 응용프로그램들에 적합하도록 설계되었습니다.

기능 설정이 가능한 RISC 코어의 강력한 성능

Xtensa 32비트 아키텍처는 임베디드 설계에 최적화된 간결한 명령어 세트를 선보이고 있습니다. 아키텍처의 기본으로는 32비트 ALU와 최고 64개의 범용 레지스터, 6개의 특수 목적 레지스터 및 향상된 16비트 및 24비트(32비트가 아닌) RISC 명령어 엔코딩을 포함해, 80개의 기본 명령어 등으로 이루어져 있습니다. Xtensa 프로세서 아키텍처의 앞선 기술은 설계자가 코드 크기를 크게 축소하여 코드의 밀도를 높이고 전력 소모를 크게 개선할 수 있게 해 줍니다. - 이것은 고집적 SOC ASIC의 비용 절감을 위해 꼭 필요. Xtensa 코어의 16비트 및 24비트 인코딩은 또한 여러 가지의 비교 및 분기 명령, 오버헤드가 없는 루프 명령, 기억정보 이동 및 필드 추출 동작을 포함하는 비트 조작 명령과 같은 강력한 분기 명령들을 제공합니다.

수 시간 내로 만들 수 있는 최적화된 프로세서 코어 - RTL, 모델링 지원, 소프트웨어 개발 환경

응용 소프트웨어를 살펴서 마이크로 프로세서 코어를 설정하고 새로 고안된 명령어를 작성하여 최적화된 성능을 구현하는데 까지 - 모두 수 시간이면 끝마칠 수 있습니다.

Xtensa 프로세서 생성기는 설계자가 특정 응용프로그램에 잘 동작하는 임베디드 프로세서를 신속하고 정확하게 제작하는데 사용합니다. 즉, 실제로 프로세서의 제작 공정에 들어가기 전에, 시스템 설계자들은 프로세서 생성기로부터 얻어진 실시간 결과치를 가지고 프로세서의 집적도, 속도, 소모 전력, 코드 밀도 등을 요구 상황에 맞게 취사선택할 수 있도록 다양한 아키텍처들에 대해 시험해 볼 수 있다는 것입니다.

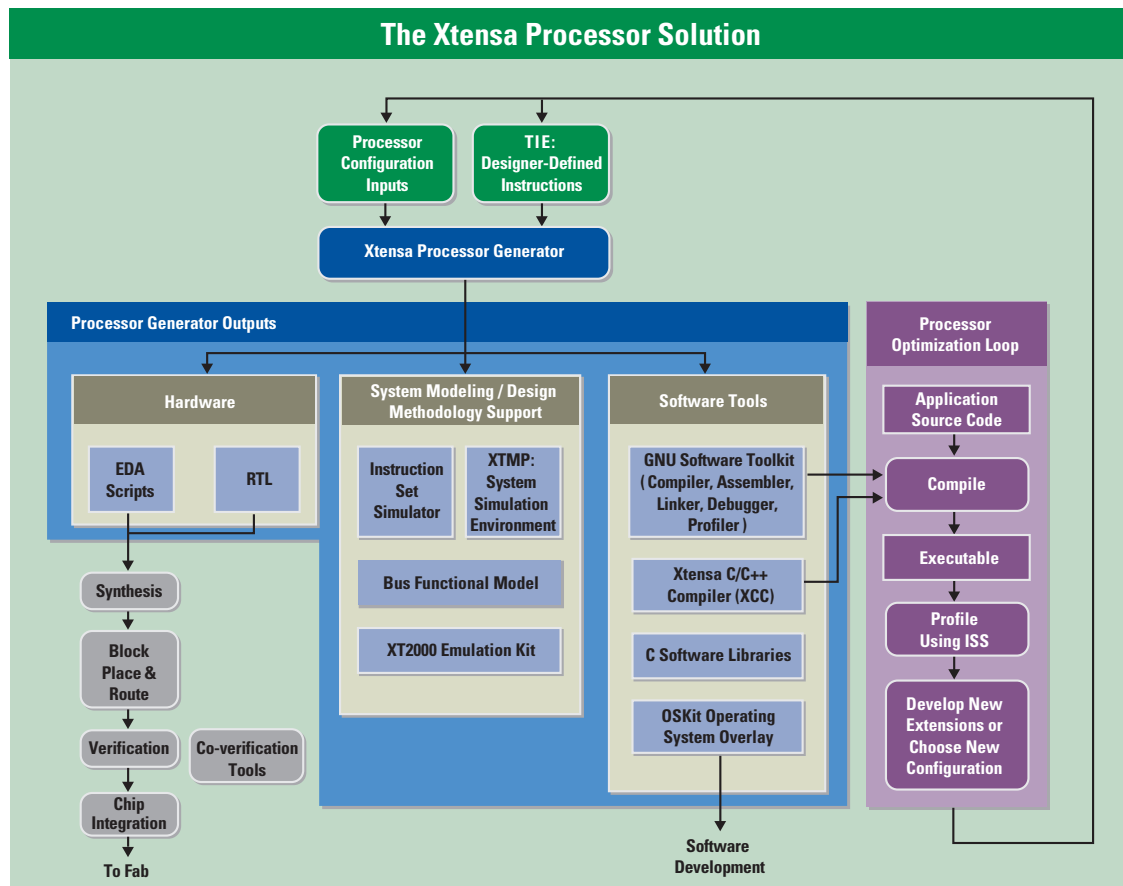


그림 2. 기능을 미리 설정할 수 있는 Xtensa 프로세서 코어는 하드웨어 및 소프트웨어의 유용한 결과물들과 함께 여러 가지 지원 도구 등을 제공하여 응용프로그램에 최적화된 임베디드 SOC를 만들 수 있게 합니다. 즉, Xtensa 솔루션은 다음과 같은 기능들을 제공합니다: 회로 합성이 가능한 RTL 레벨 디자인, 필요한 모든 소프트웨어 개발 도구, 회로 합성/스캔/P&R 스크립트, 최근에 만들어진 업계 표준의 셀 라이브러리 및 메모리 블록, 게이트 레벨 및 RTL 레벨의 시뮬레이션/기능 검증, 버스의 기능 모델, 정확한 명령어 세트 시뮬레이션 모델, RTL 레벨의 코어 테스트 벤치, 광범위한 교육 등입니다.

Xtensa 프로세서 생성기의 기능

이 Xtensa 프로세서 생성기는 웹 화면 상에서 직접 사용할 수 있게 되어 있습니다. 따라서 시스템 설계자, 하드웨어 또는 소프트웨어 개발자들은 그것을 통해 명령어 설정 옵션, 메모리의 구조, 인접 블록 및 응용프로그램에 필요한 외부 인터페이스 등을 지정할 수 있고 또한 Tensilica 명령어 확장(TIE) 언어를 사용하여 많은 데이터 유형과 명령 및 실행 유닛을 설계할 수 있습니다. 그렇게 해서, Xtensa 프로세서 생성기는 완벽하게 회로가 합성이 되는 하드웨어 디자인과 잘 정리된 소프트웨어 환경을 단 수 시간 만에 만들게 됩니다. (그림 2. 참조) 이 하드웨어 디자인은 SOC 디자인의 다른 부분과 직접 연결될 수 있을 만큼 완벽하고 어떠한 반도체 공정에도 수정없이 그대로 사용할 수 있어 궁극적으로 크게 비용 절감을 할 수 있습니다. 그리고, 소프트웨어 결과물에 대해서는 프로파일러와 다양한 시뮬레이션 모델, 지원되는 RTOS를 사용하여 소프트웨어 개발, 시스템 레벨의 시뮬레이션 및 검증을 즉각 수행할 수 있습니다. 신속한 자체 기능 설정을 갖는 이 Xtensa 프로세서 생성기는 다음과 같은 많은 선택 사양을 제공합니다.

- 실행 유닛 및 ISA 선택 사양
 - 32 또는 16비트 Multiplier
 - DSP 엔진
 - 단일 16비트 MAC
 - SIMD 벡터라 DSP 엔진
 - 부동소수점 처리장치
- 인터페이스 선택 사양
 - 프로세서 인터페이스 폭 : 32/64/128 비트
 - Big-Endian/Little-Endian Byte ordering
 - On-Chip Debug
 - Trace Port
 - XLMC 고속 로컬 인터페이스
 - 최고 32비트 인터럽트
- 메모리 서비스 시스템
 - 메모리 관리 선택 사양
 - 로컬 데이터 및 명령어 캐시
 - 최고 4-웨이 세트 조합
 - 최고 32KB
 - Write-back 및 Write-through 캐시
 - 데이터, 명령어를 위한 별도의 RAM, ROM 영역
- 설계 지원
 - 명령어 세트 시뮬레이터 및 Xtensa 모델링 프로토콜
 - 버스 기능 모델
 - ATI의 Nucleus, Wind River Systems의 VxWorks, Monta Vista의 HardHat Linux를 위한 RTOS 지원 패키지

Tensilica 명령어 확장(TIE) 언어

Tensilica 명령어 확장(TIE) 언어는 더욱 많은 새로운 명령어와 레지스터 및 실행 유닛을 표현하여 자동적으로 Xtensa 프로세서에 그 기능을 추가할 수 있습니다. TIE는 Verilog와 유사한 언어로, 명령어, 피연산 함수, 인코딩 및 기타 기능 동작 등을 표현하는데 사용됩니다. TIE 파일들은 Xtensa 프로세서 생성기에 입력 되고 프로세서 생성기는 자동으로 해당 버전의 Xtensa 프로세서와 필요한 소프트웨어 도구를 만들어 이 도구는 다시 더 나은 새로운 TIE를 만드는데 사용되게 하고 있습니다.

TIE를 사용한 프로그램 최적화는 우선 응용 소프트웨어의 "급소"를-응용 프로그램에서 가장 동작이 민감한 부분을-가려내면서 부터 시작합니다. 설계자는 실행 프로파일러를 통해 응용프로그램의 설계 효율성을 분석할 수 있고 소프트웨어의 성능을 향상시키기 위해 TIE를 설계의 어느 부분에 사용할지 시험할 수 있으며 이 일련의 프로세서 생성 과정을 반복하여서 새로운 명령어와 TIE에 의해 꾸민 하드웨어가 가장 잘 된 프로세서를 얻을 수 있습니다. 보통, 병렬처리와 기타 기술들을 잘 활용하고 또 TIE 명령어를 사용하는 경우, 10배, 100배 또는 그보다 훨씬 높은 성능 향상을 가져올 수 있습니다. (그림 3 참조)

C- 코드로 짜여진 명령어 또한 내부 기능 call로 사용할 수 있으며 Xtensa 컴파일러는 이것을 자동으로 최적의 스케줄링된 어셈블리 코드로 만들게 됩니다.

업계 표준의 소프트웨어 개발 도구

Xtensa 소프트웨어 개발 환경은 업계 표준의 GNU 도구들, C/C++ 컴파일러(gcc), 어셈블러, 링커 및 디버거(gdb)로 구성되어 있는데, Tensilica는 이 도구들을 Xtensa 명령어 세트 아키텍처에 맞게 최적화 하였고 더욱이 회사의 전용 기술을 사용하여 특정 하드웨어 설정에 따른 다양한 종류의 명령어 패키지를 만들었습니다. 또, 쉬운 오류 수정을 위해서 데이터 디스플레이 디버거(DDD)를 통해 사용자 인터페이스(GUI)를 제공하고 있습니다.

Xtensa 소프트웨어 개발 환경은 프로세서의 하드웨어 설계와 똑같은 데이터베이스로부터 만들어 집니다. 이는 설계의 정확성과 일관성을 보다 확실하게 보장해 주어 설계자가 하드웨어와 정확히 조율되어 있는 컴파일러, 링커, 어셈블러, 디버거들을 사용할 수 있게 합니다. 이 일련의 소프트웨어 도구는 또한 자동으로 갱신되고 최적화되어서 하드웨어 생성에 사용했던 설계자 정의 명령어들을 그대로 적용할 수 있습니다.

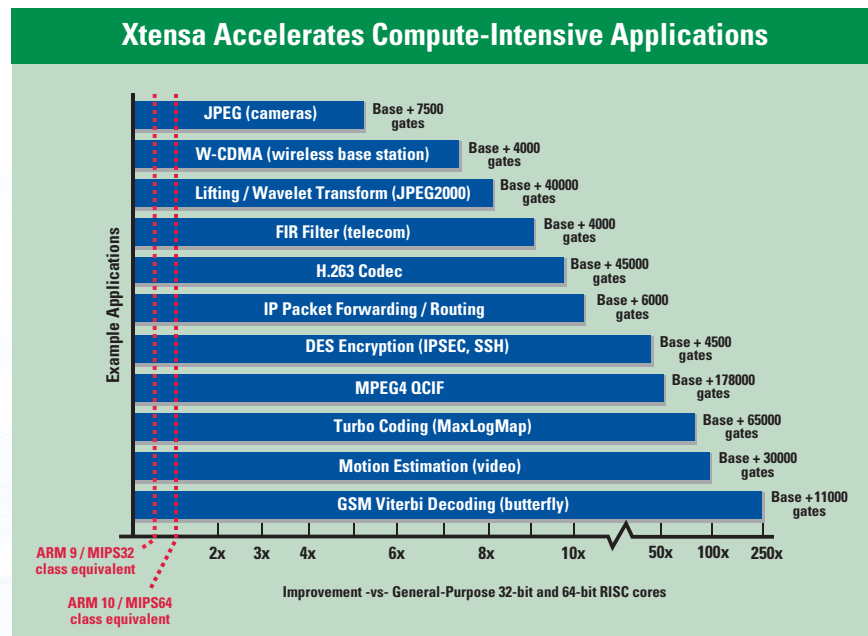


그림 3. 설계자 정의 명령어는 시스템 성능향상에 큰 영향을 줍니다.

Xtensa C/C++ 컴파일러

Tensilica는 표준 GNU 도구 외에 선택사항으로 Xtensa C/C++ 컴파일러(XCC)를 제공합니다. XCC는 gcc에 비하여 평균 20%에서 40%까지의 성능향상을 가져옵니다. XCC는 벡트라 DSP 엔진에 대해서 C코드의 자동 벡터화를 제공합니다. Xtensa의 표준GNU 기반의 소프트웨어 개발 도구에서처럼 XCC는 프로세서의 하드웨어 설계와 똑 같은 데이터베이스로부터 만들어져 설계의 정확성을 기할 수 있게 합니다.

Xtensa IDE & RTOS 지원 및 운영체제 키트

Xtensa 운영체제 키트는 Accelerated Technology사의 Nucleus PLUS와 Wind River Systems사의 Tornado for VxWorks와 같은 상업적으로 시장을 주도하고 있는 실시간 운영체제 및 그 개발 환경을 지원하는 패키지입니다. 이 운영체제 키트는 설계자 정의 명령어들을 포함한 아키텍처의 모든 설정된 기능들이 표준 RTOS 런타임 환경에 의해 완벽히 지원되는 것을 보장합니다. 더욱이, Mentor Graphics사의 Seamless 하드웨어/소프트웨어 일체 검증용 소프트웨어나 XRAY 오류 검증용 소프트웨어와 같이 현재 시장을 주도하는 주요 소프트웨어 업체들이 Xtensa 코어를 위한 다양한 개발 환경 및 디버거를 제공하고 있음은 설계자에게 큰 신뢰를 줍니다.

명령어 세트 시뮬레이터 및 Xtensa 모델링 프로토콜

Xtensa 명령어 세트 시뮬레이터(ISS)는 두 개 이상 복수의 프로세서에서도 사용이 가능한 명령어 세트 시뮬레이터로서 설계자의 시스템 API에서 호출됩니다. 이는 두 개 이상 복수의 ISS가 다른 시스템 구성요소와 함께 C/C++ 환경에서 구현될 수 있어 씨브 시스템 레벨의 정확한 시뮬레이션과 분석을 할 수 있다는 것을 의미합니다.

Xtensa 모델링 프로토콜(XTMP)은 Xtensa 프로세서의 씨브시스템 모델링과 시뮬레이션을 위한 환경인데, 하나 또는 그 이상의 Xtensa 프로세서와 여러가지 메모리 및 구성 블록들에 대한 신속한 시스템 레벨 시뮬레이션을 가능케 해 줍니다.

이 Xtensa ISS와 XTMP를 사용해서, 설계자들은 복수의, 서로 다른 Xtensa 프로세서로 구성된 완벽한 SOC 씨브 시스템 구성과 시뮬레이션을 신속히 수행할 수 있습니다. (그림4 참조)

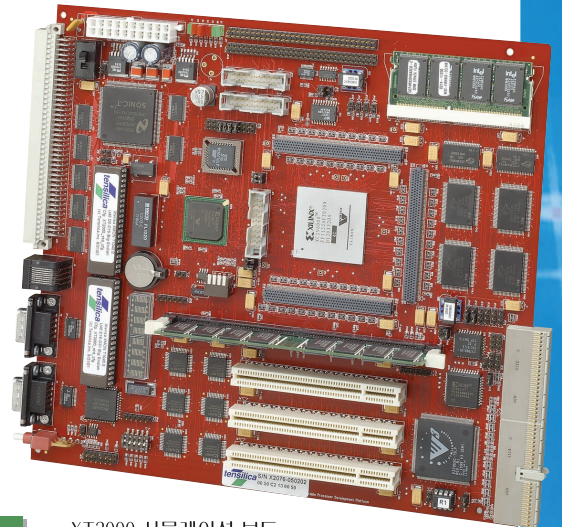
시스템 검증

Tensilica는 설계자의 SOC 검증을 보조하기 위한 일련의 강력한 검증 도구를 제공합니다. Xtensa 인터페이스의 임베디드 RTL 검사/감시기로부터 하드웨어/소프트웨어의 일체 기능 검증을 위한 자동화 버스 기능 모델

구축, TIE 확장 언어의 기능 검증을 위한 스크립트 지원에 이르기까지 Tensilica는 여러분의 검증 스타일에 적합한 다양한 기능들을 제공하고 있습니다.

XT2000 프로세서 에뮬레이션 키트

XT2000 에뮬레이션 키트(사진 참조)는 특정 Xtensa 프로세서 설정을 에뮬레이트하기 위해 프로그램 로직 디바이스로 꾸며진 저가의 종합 개발 보드입니다. 이 에뮬레이션 키트로 개발자는 여러가지 프로세서 설정값을 대입해 보면서 소프트웨어 개발에 착수할 수 있으며 설계 초기 단계에서 오류 검증을 할 수 있기 때문에 설계자 정의 명령어를 포함한 새로운 프로세서 설정과 에뮬레이션, 그리고 오류 검증을 단 수 시간 안에 끝마칠 수 있습니다.



XT2000 시뮬레이션 보드

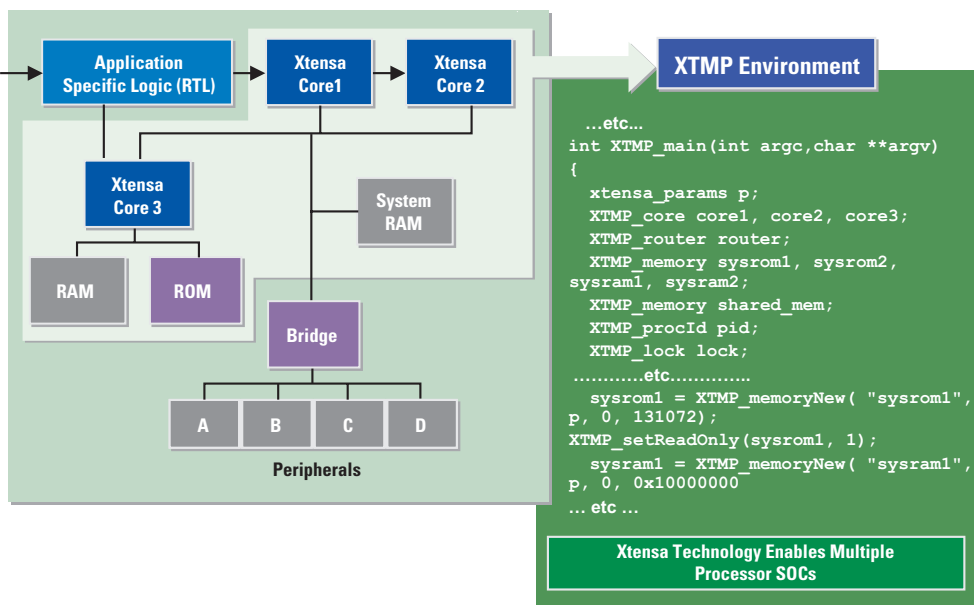


그림4. 복수의 프로세서 시스템을 위한 Xtensa 모델링 프로토콜(XTMP) 시뮬레이션 환경

기능 요약

Xtensa 프로세서는 임베디드 SOC 개발을 위한 완벽하고도 강력한 도구들과 기본 블록들을 제공합니다.

- Xtensa 프로세서 생성기
 - RTL 레벨 하드웨어 디자인과 관련 소프트웨어 개발 도구의 신속한 자동 생성
- Tensilica 명령어 확장 (TIE) 언어
 - 설계가 용이하고 프로세서의 기본 아키텍처에 자동통합되는 설계자 정의 명령어
- 응용 프로그램에 따라 선택할 수 있는 기본 블록
 - Multipliers, 16비트 MAC, FPU 및 SIMD 벡트라 DSP 엔진 블록
- 메모리 관리 기능
 - 메모리 영역 보호
 - Virtual-to-physical address translation 맵핑을 갖는 메모리 영역 보호
 - Translation Look Aside Buffers (TLBs)를 갖는 메모리 관리 유닛 (MMU)
- 설정 가능 인터페이스
 - 프로세서 인터페이스 (PIF) 폭 : 32/64/128비트
 - 선택사항 고속 Xtensa 로컬 메모리 인터페이스 (XLMI)
 - XLMI와 데이터 RAM에 대한 내부방향 PIF 요청 기능
- 복수의 프로세서 개발 및 오류 검증 기능
 - 복수의 프로세서를 위한, C/C++ 호출 가능 명령어 세트 시뮬레이터 (ISS)
 - 시스템 모델링 기능 : ISS를 위한 XTMP 시뮬레이션 소프트웨어 환경
 - 복수의 프로세서를 위한 On-Chip Debug 기능
- 소프트웨어 개발 도구
 - GNU C/C++ 소프트웨어 개발 도구 세트
 - 고성능 Xtensa C 컴파일러 (XCC)
 - 수 시간 안에 만들 수 있는 최적의 Xtensa 코어와 소프트웨어 개발 도구
- 강력한 EDA 환경 지원
 - 회로 합성 및 P&R 지원
- 검증 지원
 - Xtensa 코어와 설계자 정의 TIE의 종합적 검증
- 시뮬레이션 모델
 - 설정된 프로세서 코어의 기능을 검증할 수 있는 정확한 모델 세트
- 실시간 운영체제 지원을 위한 키트
 - Accelerated Technology 사의 Nucleus
 - Wind River Systems 사의 VxWorks
 - Monta Vista 사의 HardHat Linux

성능 요약

- 프로세서 아키텍처 : 5단계 파이프라인, 고성능, 32비트 RISC
- 명령어 세트 : 간결한 16비트 및 24비트 인코딩을 갖춘 Xtensa ISA (모드 전환은 불가능)
- 클럭 속도 : 0.13 μ 공정에서 350MHz
0.18 μ 공정에서 200 MHz
- 성능 : Tensilica 사용자의 경우, TIE를 이용, Xtensa 프로세서를 확장함으로써 5배, 10배, 심지어 100배 이상의 성능 향상을 기록한 바 있습니다.
- 크기 : 약 2만5천 게이트 - 기본 프로세서
최저 1만8천 게이트 - 태스크 엔진 설정시
- 전력 : 1.0V, 0.13 μ 공정에서 0.1mW/MHz
1.8V, 0.18 μ 공정에서 0.4mW/MHz

클럭 속도, 전력, 크기 및 성능은 설정 내용과 적용 기술의 선택에 따라 달라질 수 있습니다.

벡트라 DSP 엔진

벡트라 엔진은 SOC 설계 통합 솔루션에서 핵심적인 설계 블록입니다. 이를 통해 임베디드 제어, 프로토콜, 시그널 및 이미지 프로세싱과 같은 응용 프로그램에서, 설계에 필요한 각각의 주요 요소들을 단일 프로세서 아키텍처로 신속히 구현할 수 있음이 처음으로 가능해졌습니다.

이 벡트라 엔진이 포함된 Xtensa 통합 아키텍처는 또한 소프트웨어 개발, 시뮬레이션 및 RTOS 환경을 위한 공통된 기반을 확실히 보장하며 8비트, 16비트, 24비트 등 다양한 고정 포인트 SIMD 설정을 통해서 세계 최고 수준의 데이터 처리능력을 제공합니다. (표1 과 그림 5 참조)

| Vectra DSP Engine Configurations | | | | | |
|--|----------------|----------------|----------------|----------------|----------------|
| | Vectra V1620-8 | Vectra V1620-4 | Vectra V1616-8 | Vectra V0810-8 | Vectra V3224-4 |
| Elements per vector A | 8 | 4 | 8 | 8 | 4 |
| Memory width of each element B | 16 | 16 | 16 | 8 | 32 |
| Register width of each element C | 20 | 20 | 16 | 10 | 24 |
| Number of MAC units D | 4 | 2 | 4 | 4 | 2 |
| Multiplier and Multiplicand width E | 16x16 | 16x16 | 16x16 | 8x8 | 24x24 |

표1. Xtensa 프로세서를 위한 벡트라 DSP 엔진들

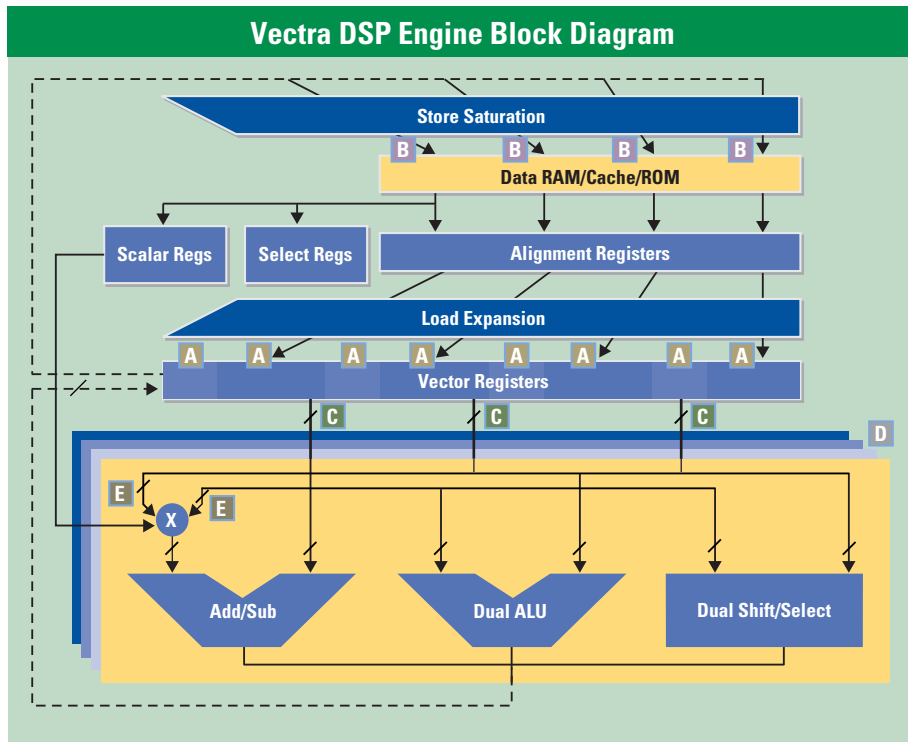


그림5. 벡트라 엔진의 벡터/SIMD 아키텍처는 높은 효율성과 성능을 위해 최적화 되어 있습니다.



Tensilica/Asia Pacific

국내 대리점
EdgeSoft, Inc.
135-090 서울시 강남구 삼성동 38-3,
A&C 빌딩 202호
전화: 02.547.1628
팩스: 02.547.1620

<http://www.edgesoft.co.kr>

SALES INFORMATION
sales@edgesoft.co.kr

Tensilica, Inc.

미국본사
3255-6 Scott Boulevard
Santa Clara, CA 95054-3013
USA
전화: 408.986.8000
팩스: 408.986.8919

For additional information,
please see our web site at:
www.tensilica.com

©2002, Tensilica, Inc. Tensilica and Xtensa are registered trademarks; Vectra, Sea of Processors, OSKit and the Tensilica logo are trademarks of Tensilica, Inc. All other registered trademarks and trademarks are the property of their respective owners.