

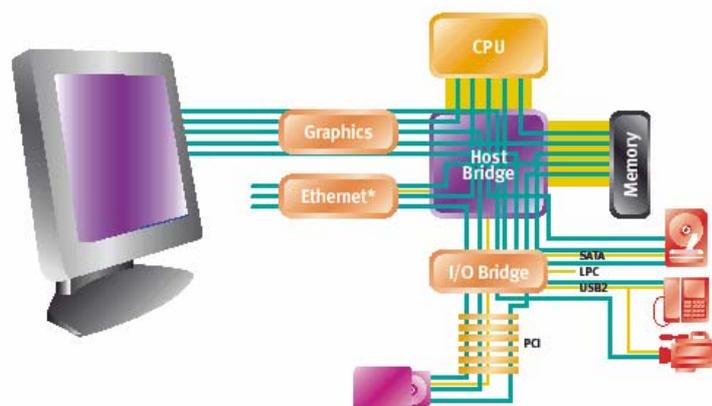
Introducción

El Bus PCI ha sido utilizado ampliamente utilizado por mas de una década y aun se seguirá utilizando por lo menos un poco mas. Sin embargo, dado el gran avance tecnológico, tanto los procesadores como los periféricos de entrada/salida de hoy día ya demandan mucho mas ancho de banda que los actuales PCI 2.2 o PCI-X pueden disponer; lo cual pone en evidencia la necesidad de un nuevo bus capaz de satisfacer estas demandas.

Ya que los PCI anteriores fueron principalmente de transmisión en paralela, se podría haber esperado que PCI Express lo fuera también, pero en cambio resultó ser de alta velocidad serial. Esto se debido a que los ultimas investigaciones revelaron que la implementación del bus en paralelo esta cerca de sus limites prácticos, debido a la latencia, sincronización, etc. Así todo el esfuerzo en crear un bus que cumpliera con las tasas deseadas resultaba en costos grandes a cambio de poco desempeño; la relación costo/beneficio era pobre utilizando esta técnica.

Por otro lado las aplicaciones de software hoy en día demandan mas plataforma de hardware, específicamente subsistemas de entrada/salida, tal como video y sonido. El video y sonido demandan por lo general altas tasas de transferencia, y son de uso muy común tanto en desktop como en móviles hoy día. Tanto el PCI 2.2 como el PCI-X no tienen soporte específico para estos tipos de datos que necesitan ejecución en tiempo real. También en servidores, aplicaciones como video-on-demand y re-distribución de audio también se ven afectados.

En la figura abajo se muestra un ejemplo de PC de escritorio (desktop), en donde se puede observar que las implementaciones de hoy día trabajan con múltiples transferencias concurrentes pero sin diferenciar mayormente el tipo de información. Evidentemente no es actualmente aceptable tratar a todos los tipos de datos por igual ya que para aplicaciones de video (real-time) si la información llega tarde ya no es mas útil. Así el tipo de información debe ser inidentificable y el sistema debe de establecer prioridades para que el rendimiento en conjunto sea optimo.



La tasa de transmisión inicial es de 2,5 Gbps lo que equivale 200MBps efectivos de datos. PCI Express permite tasas escalables (aumentables) con lo que se obtiene mayor aceptación en el mercado para aplicaciones que requieran de mayor ancho de banda, tales como Giga Ethernet®, Infiniband®, etc. Se pueden conectar desde 1 hasta 32 dispositivos mediante el bus. Con la utilización de los 32 el ancho de banda decrece a 16 GBps por cada conexión, pero esta pensado para futuras mejoras sin afectar la capa de abstracción de software.

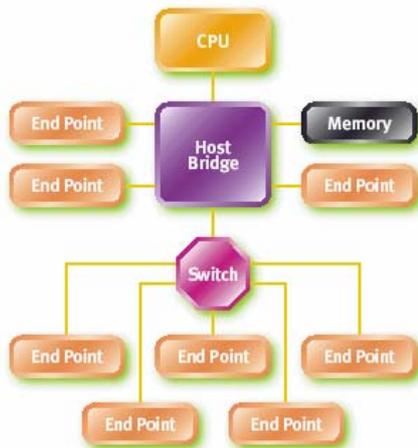
A seguir se indican los principales requisitos que se tomaron en cuenta para el diseño del bus de tercera generación:

- Apuntar a múltiples sectores del mercado y aplicaciones emergentes. Unificación de arquitecturas de entrada/salida de computadoras de escritorio, móviles, servidores, plataformas de comunicación, estaciones de trabajo y sistemas empotrados.
- Bajo costo. Por lo menos similar al PCI actual.
- Modelo de software compatibles: que los sistemas operativos y aplicaciones actuales puedan funcionar con esta tecnología sin cambios; drivers compatibles.
- Desempeño. Desempeño escalable mediante frecuencia y conectores adicionales. Alto ancho de banda por pin. Baja latencia.
- Soporte de varios tipos de conexiones: chip-a-chip, placa-a-placa y otros.
- Características avanzadas. Distinción de diferentes tipos de datos, Manejo de Energía, Calidad de Servicio (QoS), Conexión en Caliente, integridad de datos y manejo de errores.

PCI Express – Topología y Estructura

Los recientes avances en tecnologías de alta velocidad, pocos pines y punto a punto se ofrecieron como los principales candidatos para la mejora de velocidad y ancho de banda del bus, convirtiendo el PCI Express en un puerto serial de altísima velocidad.

La topología del PCI Express esta constituida de un puente Host (Host Bridge) y algunos dispositivos de entrada-salida (endpoints); figura abajo.

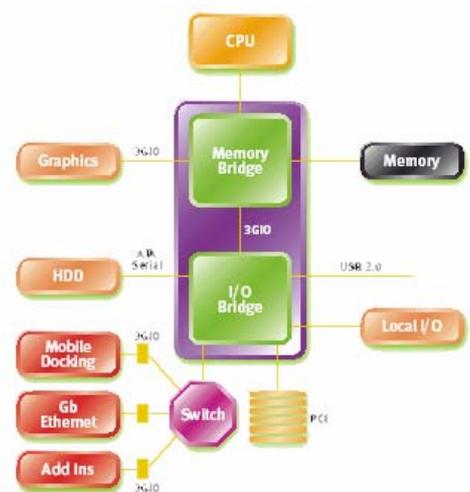


Para múltiples conexiones punto-a-punto se introduce el switch, permitiendo que todos los endpoints subsecuentes puedan conectarse al puente Host. Este elemento provee capacidad de fan-out y dispone de una serie de conectores para incorporar dispositivos de entrada-salida de alto desempeño. El switch es un elemento lógico que puede estar implementado como elemento separado o dentro del mismo puente Host.

Debido a la cantidad reducida de señales (low-pin-count) las conexiones pueden ser implementadas con conectores y cables sencillos.

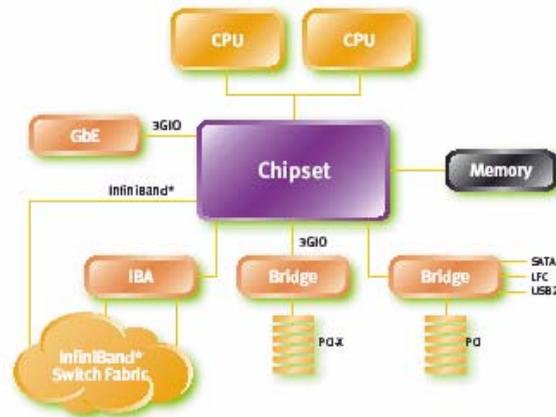
Al igual que el PCI con ISA, se espera que 3GIO coexista al principio con el PCI convencional como soporte para las tecnologías existentes que requieran de bajo ancho de banda; y así una migración lenta al uso del PCI Express en la totalidad.

Las figuras a seguir ilustran las plataformas sugeridas usando la arquitectura PCI Express en tres ambientes: desktop o móviles de propósito general, servidores y en ambientes de comunicaciones. Los buses similar a los paralelos de hoy día son reemplazados por enlaces 3GIO conteniendo uno o mas pares cada uno. Cada enlace puede ser individualmente escalable agregando uno o mas pares, haciendo que se puedan cumplir las demandas ancho de banda en aquellos enlaces que lo requieran; tal como adquisición graficas y otros.



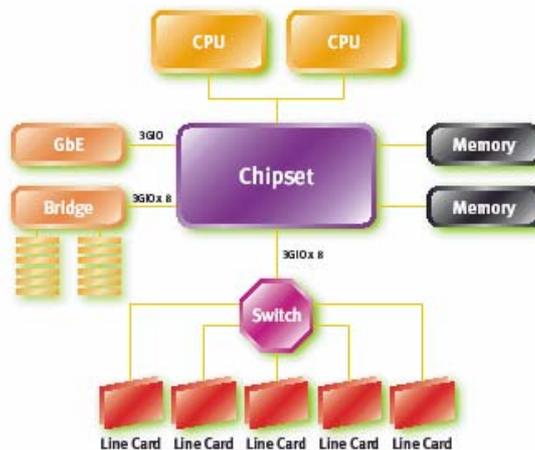
3GIO en desktop/mobile de propósito general

La plataforma de servidor requiere mejor desempeño y conectividad de los dispositivos de entrada-salida incluyendo el gran ancho de banda para los enlaces entre PCI Express con las ranuras (slots) de PCI-X, Giga Ethernet y InfiniBand. La siguiente figura muestra como PCI Express permite a los servidores la transición desde “buses compartidos en paralelo” a interconexiones serial de alta velocidad.



3GIO en sistemas servidor/workstation

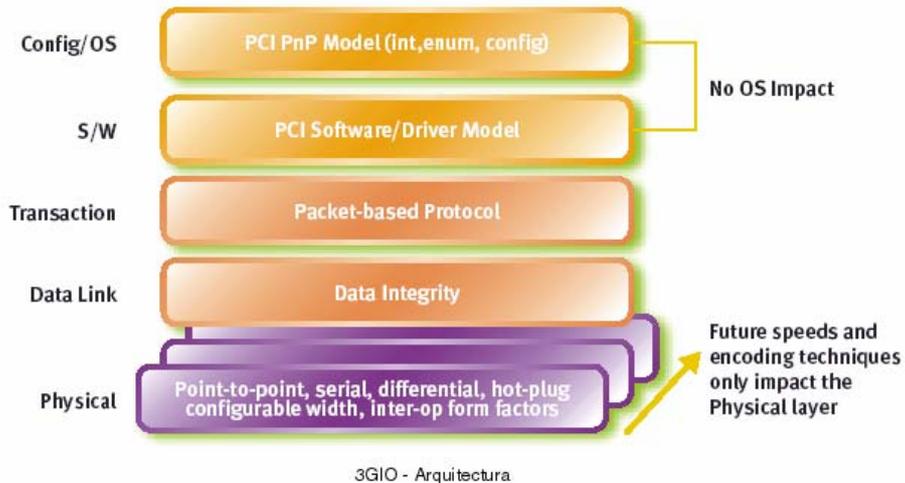
En plataformas de red de comunicaciones pueden utilizarse múltiples switches incrementando la conectividad e implementando de Calidad de Servicio (QoS), para diferenciar los diferentes tipos de gráficos.



3GIO en sistemas de comunicacion en red

PCI Express – Arquitectura

La arquitectura de PCI Express esta especificada en capas como se muestra en la figura mas adelante. Se mantiene sin cambios el modelado de direccionamiento con respecto al PCI convencional, para asegurar que no se necesiten cambios en las aplicaciones y drivers existentes. PCI Express también utiliza los mecanismos standard del Plug-and-Play de PCI.



La capa de software genera básicamente peticiones de lectura y escritura que son transportadas por una capa de transacción a los dispositivos de entrada-salida utilizando un protocolo de paquetes. La capa de enlace agrega algunas secuencias de bits juntamente con un CRC a fin de proporcionar robustez al mecanismo de transferencia. La capa física consiste en un canal dual implementado como un par de cables de transmisión y otro par para la recepción.

Capa Física

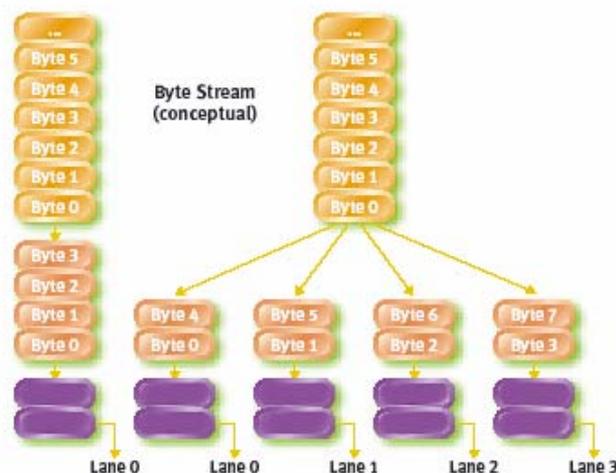
El enlace físico consiste en dos pares de señal, uno para transmisión y otro para recepción. Ambas señales tienen características de bajo voltaje y envío de señal eléctrica en forma diferencial; lo que asegura buena inmunidad al ruido.

En principio, la velocidad de 2,5 Giga transferencias/segundos en cada dirección provee de 200 MB/s de tasa de transferencia de datos, lo que viene a ser cerca del doble de la tasa clásica del PCI convencional. Se puede llegar a obtener hasta 10 Giga (el teórico máximo para señales en cobre) mediante ciertos avances alcanzados en el campo del silicio.

La capa física transporta los paquetes entre dos agentes PCI Express, como se muestra en la siguiente figura.



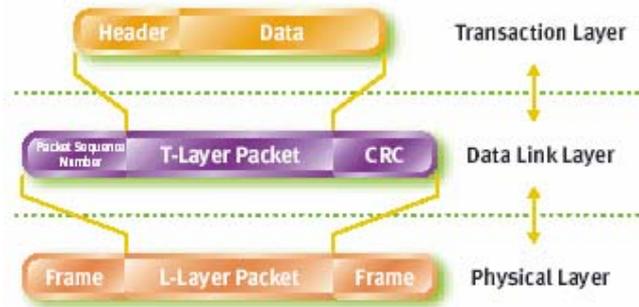
Una de las características muy atractivas del 3GIO es el hecho que el ancho de banda del enlace puede ser linealmente escalable agregando pares de señal formando múltiples caminos (lane). La capa física soporta los siguientes tamaños de caminos x1, x2, x4, x8, x12, x16, x32 dividiendo el byte de información como se muestra en la próxima figura. Esta información es dividida y re-ensamblada de forma transparente para las demás capas.



Durante la etapa de inicialización, cada agente del enlace negocia con su par poniéndose de acuerdo en el tamaño del camino, así como la frecuencia de operación.

La capa de enlace

La tarea principal de la capa de enlace es asegurar la correcta entrega de un paquete a través del enlace. Es el responsable de la integridad de la información y para ello agrega una secuencia de números y un CRC al paquete recibido de la capa de transacción, tal como se muestra en la figura siguiente:



Capa de transacción

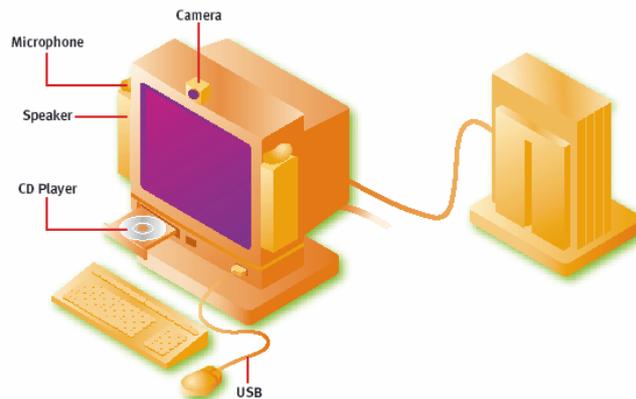
La capa de transacción recibe peticiones de lectura y escritura de la capa de software y crea peticiones de transmisión de los paquetes a la capa de enlace. Cada paquete tiene un identificador único el cual permite que los paquetes sean respondidos al remitente correcto. El formato de paquete soporta tanto direccionamiento de memoria a 32 bits como a 64 bits en modo extendido.

Capa de software

La compatibilidad en software fue tomado muy en cuenta en el diseño del PCI Express. Una de las facetas importantes del PCI es la inicialización. PCI tiene un modelo robusto de inicialización mediante el cual el sistema operativo puede descubrir todos los dispositivos presentes para entonces ordenar los recursos del sistema, memoria, interrupciones.. creando un ambiente optimo de operación. Por ello PCI Express fue diseñado manteniendo toda la compatibilidad software necesaria “hacia atrás”, lo que permite que no se necesiten cambios en el software mantener la funcionalidad, ya los nuevos software utilizaran a fondo las nuevas capacidades del PCI Express.

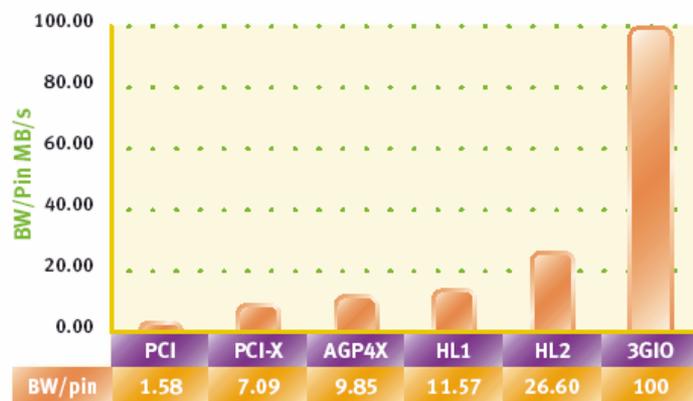
Aspectos mecánicos

Dado la cantidad reducida de pines de PCI Express se habla de una evolución en el diseño de placas: de menor tamaño, etc. y, en un diseño revolucionario. Como ejemplo del ultimo, en la siguiente figura se muestra como el ordenador se sitúa como un elemento separado de la interface humana de entrada-salida (el monitor, el mouse, el teclado, etc.).



Características de desempeño

La conexión diferencial, punto a punto del PCI Express provee de una muy alta velocidad de interconexión usando pocas señales, con grandes ventajas como las citadas anteriormente. A modo de comparación se muestra una grafica comparativa en relación con los otros buses; se compara el ancho de banda por pin (100MBps para el PCI Express, ya que se implementan dos cables para cada dirección).



PCI @ 32b x 33MHz and 84 pins, PCI-X @ 64b x 133MHz and 150 pins, AGP4X @ 32b x 4x66MHz and 108 pins, Intel® Hub Architecture 1 @ 8b x 4x66MHz and 23 pins; Intel Hub Architecture 2 @ 16b x 8x66MHz and 40 pins; 3GIO @ 8b/direction x 2.5Gb/s/direction and 40 pins.

Conclusión

Se pudo ver que a priori la arquitectura del PCI Express cumple con todos los requisitos para ser el bus de tercera generación. Con características avanzadas y desempeño escalable permitirá la unificación de un gran rango de plataformas: computadoras de escritorio, servidores y otros.

Con la implementación de escalabilidad mediante múltiples conexiones (lanes), PCI Express permitirá mayor flexibilidad en el particionamiento de sistemas y así costos igual o por debajo de los PCI actuales. Otro aspecto interesante es que dado la compatibilidad de software, no será necesario volver a escribir código para que esta nueva tecnología pueda florecer en el mercado actual.

Como nota final, se asume que las primeras placas madres con PCI Express saldrán a finales del 2003 conteniendo nuevos conectores para esta tecnología, que convivirán por un tiempo con el PCI actual, del mismo modo que sucedió con el puerto ISA antiguamente.

Bibliografía

- Intel® Developer Network for PCI Express* Architecture , Ajay Bhatt www.express-lane.org
- “Creating a Third Generation I/O Interconnect”, Ajay Bhatt, Intel® Co. www.intel.com
- Apuntes de clase de TAI2
- The Magazine for Digital Creatives www.digitmag.co.uk
- PCI Express Basics, Xilinx® Co. www.xilinx.com
- Peripheral Componente Interconnect Special Interest Group www.pcisig.com

SUMARIO

INTRODUCCIÓN	1
PCI EXPRESS – ARQUITECTURA	5
CAPA FÍSICA	5
LA CAPA DE ENLACE	6
CAPA DE TRANSACCIÓN	7
CAPA DE SOFTWARE.....	7
ASPECTOS MECÁNICOS	8
CARACTERÍSTICAS DE DESEMPEÑO	8
CONCLUSIÓN	9
BIBLIOGRAFÍA	10