

Ringoszillator: Messung der Verzögerungszeit

Test integrierter Schaltungen

Themen

- Definition der Verzögerungszeit
- Messung der Verzögerungszeit
- Ringoszillator
- Abschätzung der Verzögerungszeit eines CMOS - Inverters
- Stromaufnahme eines Ringoszillators

Definition

- Das Zeitintervall zwischen den 50%-Werten der Eingangs- und Ausgangswerten ergibt die Verzögerungszeit (t_{PHL} und t_{PLH}).

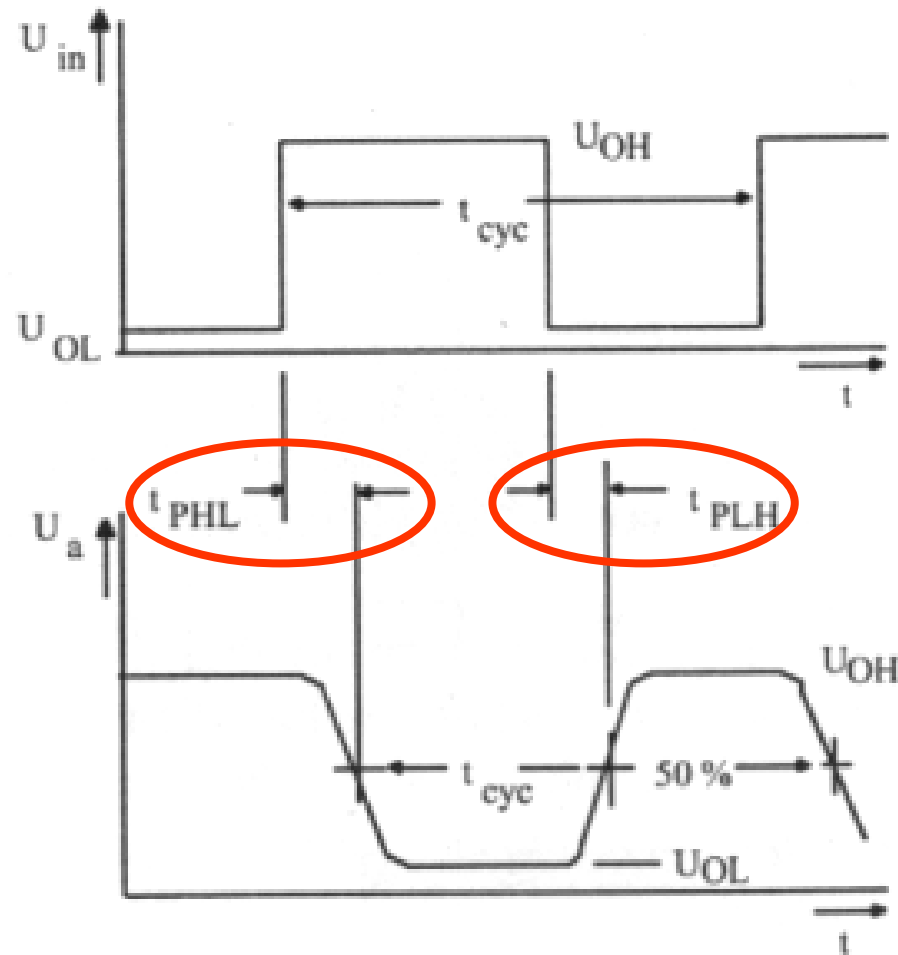
- die durchschnittliche Verzögerungszeit ergibt sich zu:

$$t_D = \frac{1}{2} \cdot (t_{PHL} + t_{PLH})$$

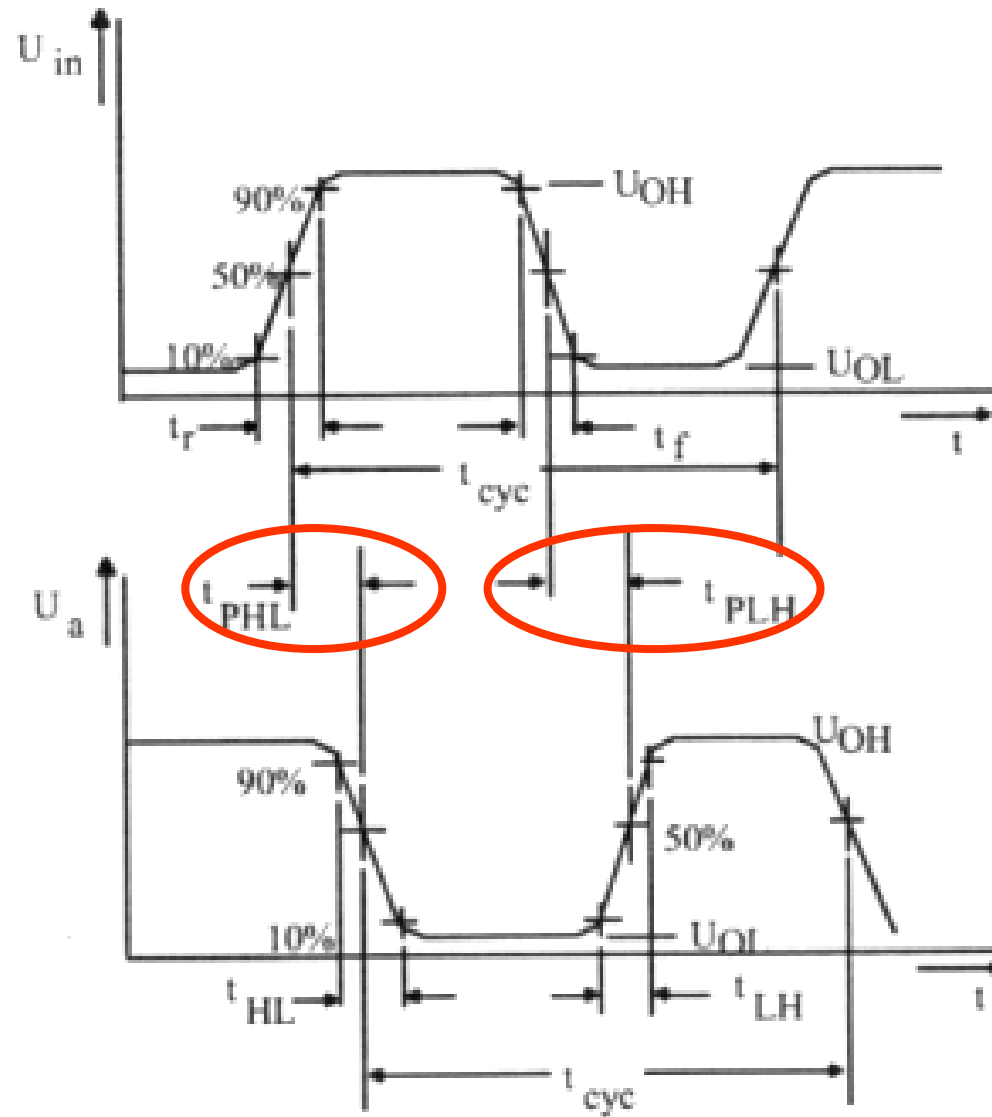
- für symmetrische Inverter gilt:

$$t_D = t_{PHL} = t_{PLH}$$

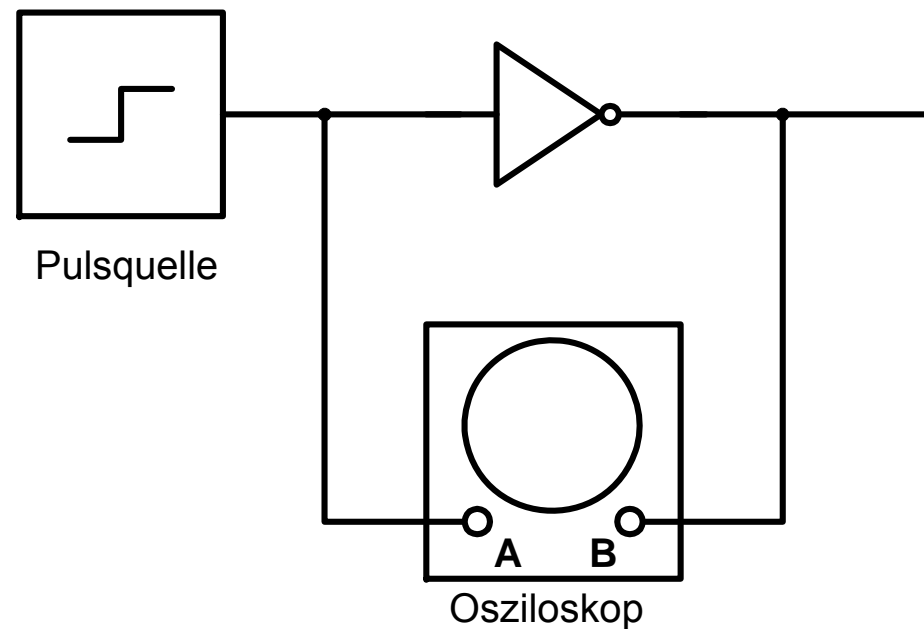
Verzögerungszeit (idealer Eingang)



Verzögerungszeit (realer Eingang)

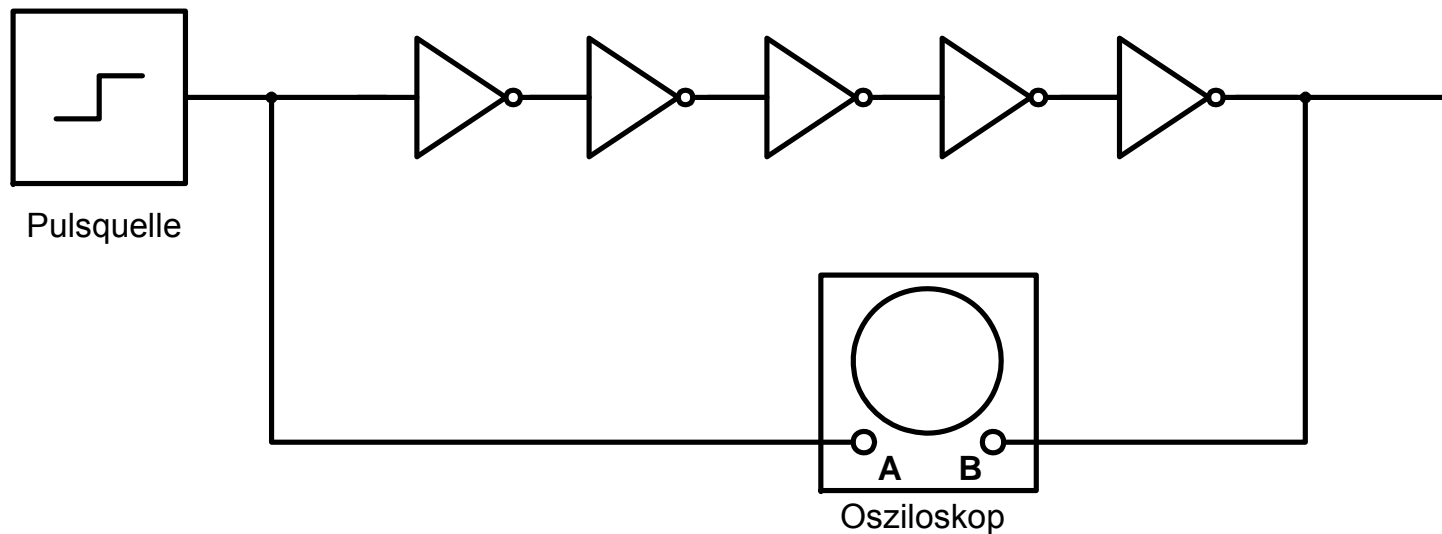


Messung der Verzögerungszeit



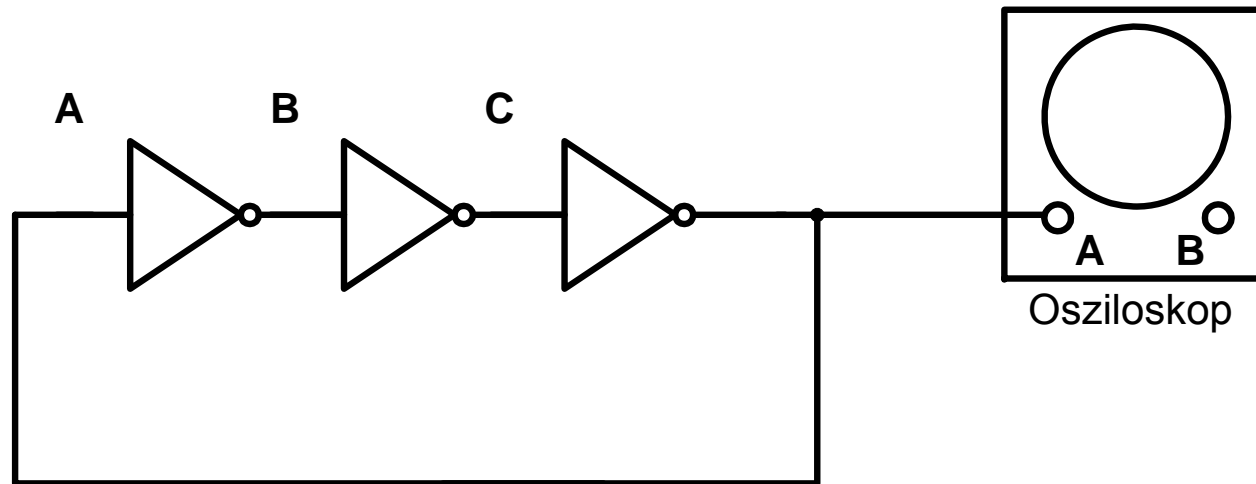
- Nachteile
 - Oszilloskop muss sehr schnell sein
 - Pulsquelle notwendig

Messung der Verzögerungszeit

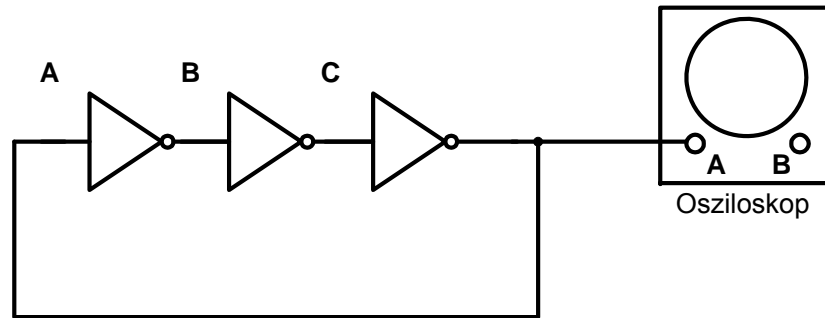


- Bessere Lösung:
 - Vergrößerung der Gesamtverzögerung durch eine längere Inverterkette
 - Nachteil: Pulsquelle notwendig

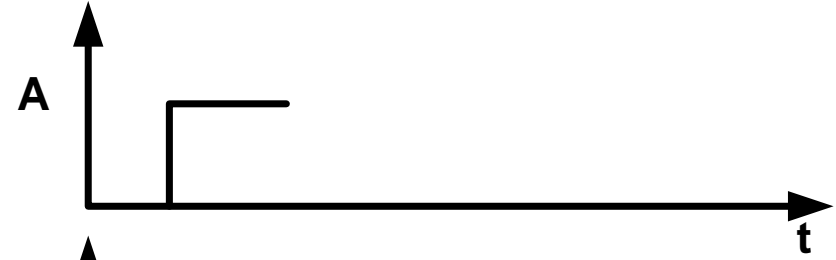
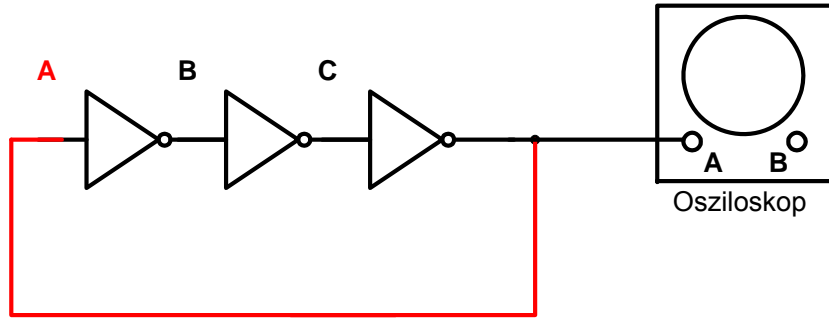
Messung der Verzögerungszeit

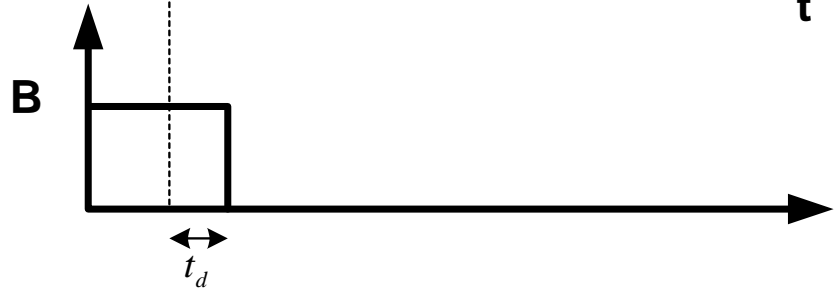
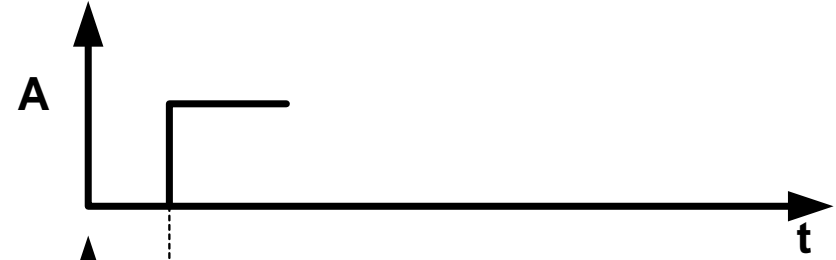
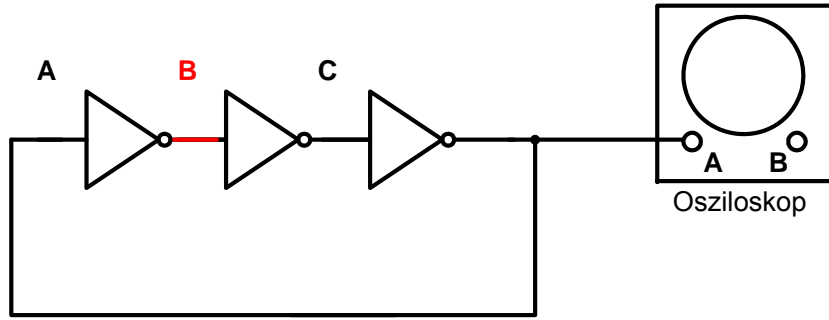


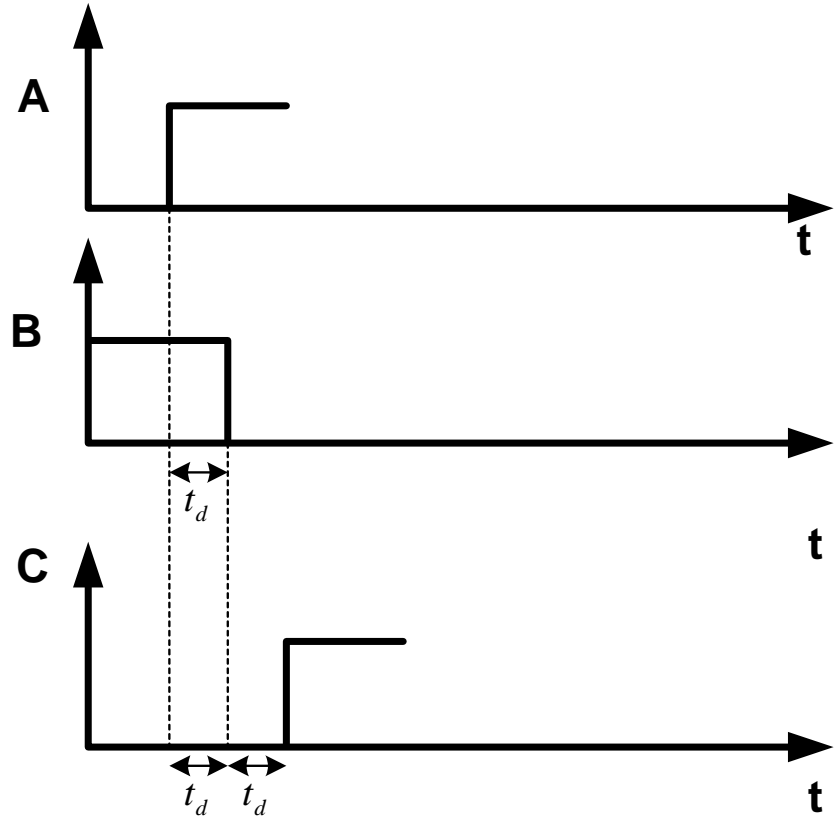
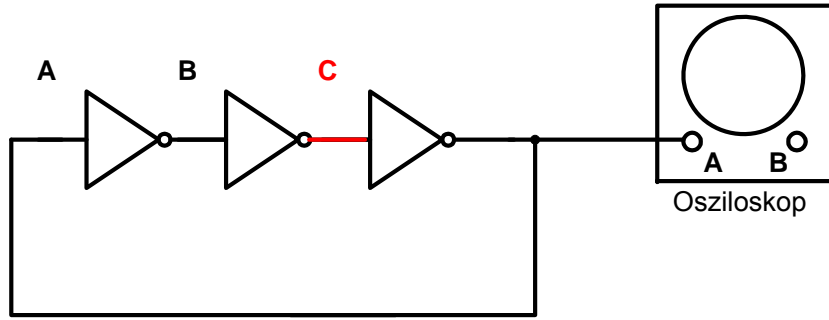
- Vorteil
 - keine Pulsquelle notwendig
 - bei genügend großer Anzahl von Invertern benötigt man kein leistungsfähiges Oszilloskop

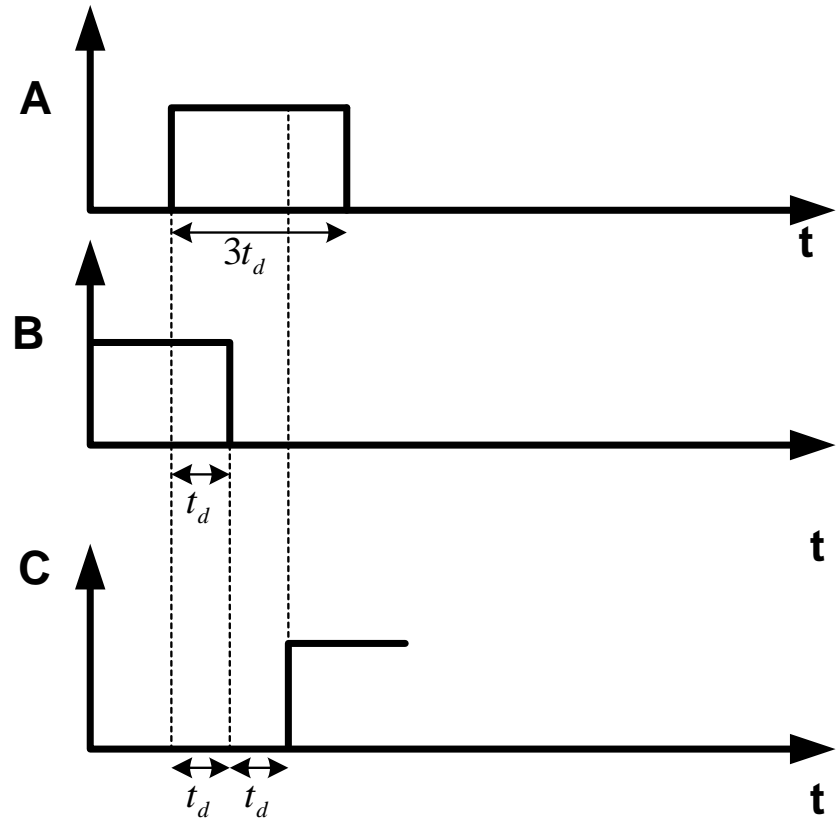
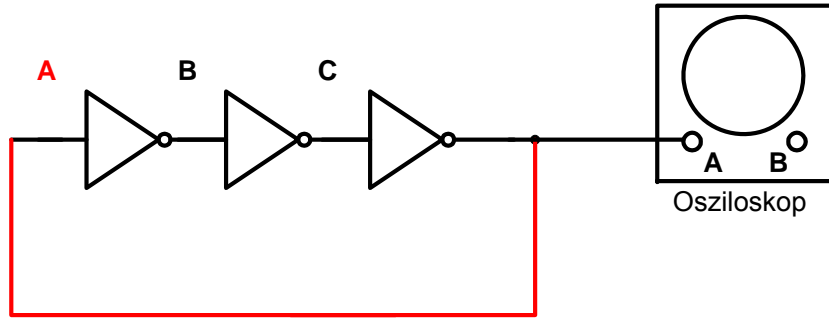


- Beispiel: Anzahl der Inverter $n=3$
- Pro Gatter wird das Signal um t_D verzögert.

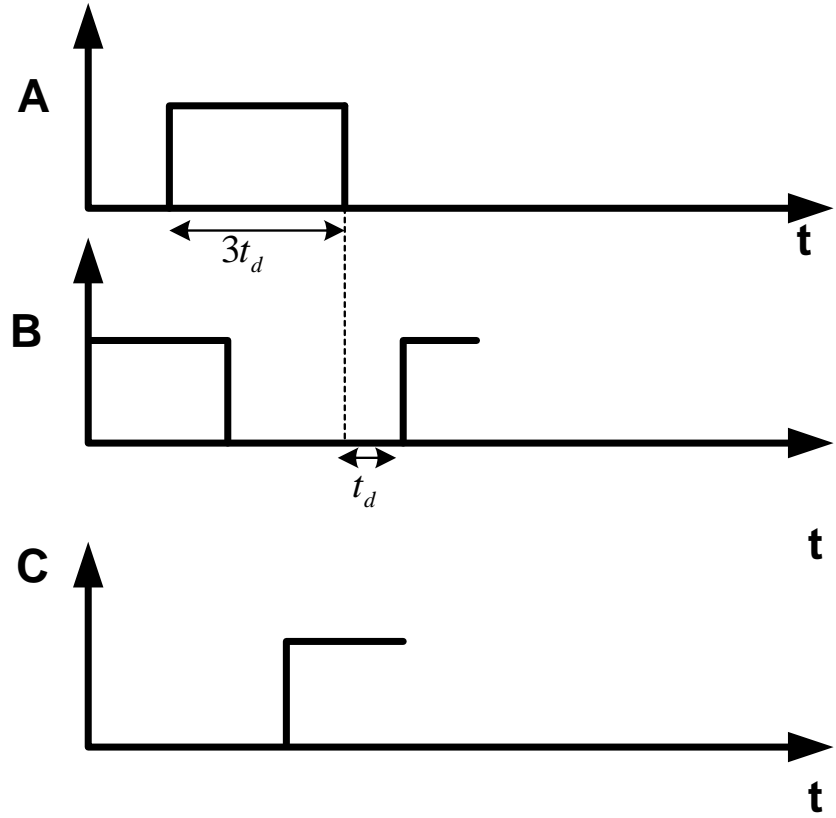
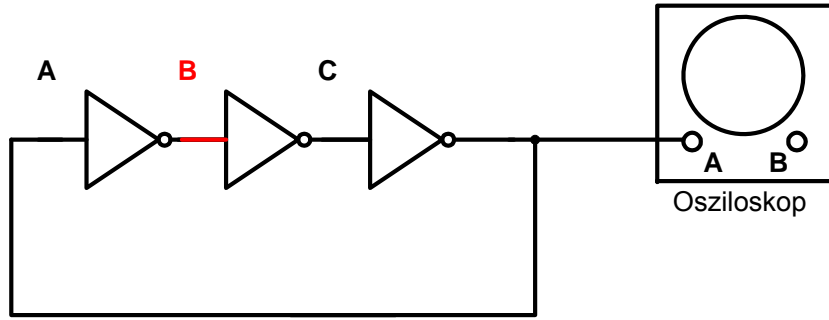


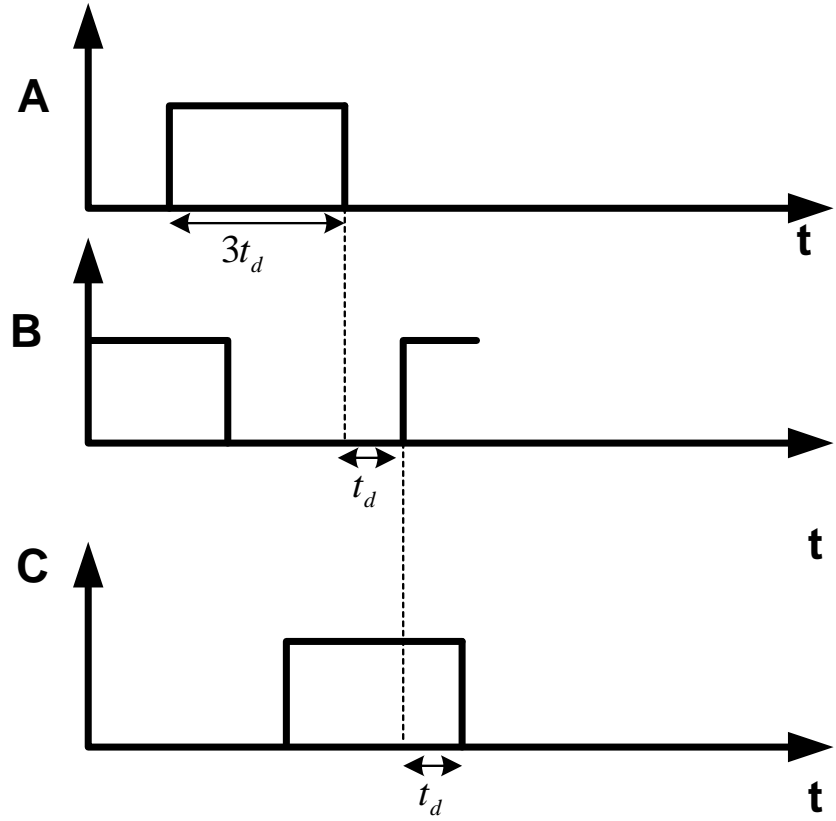
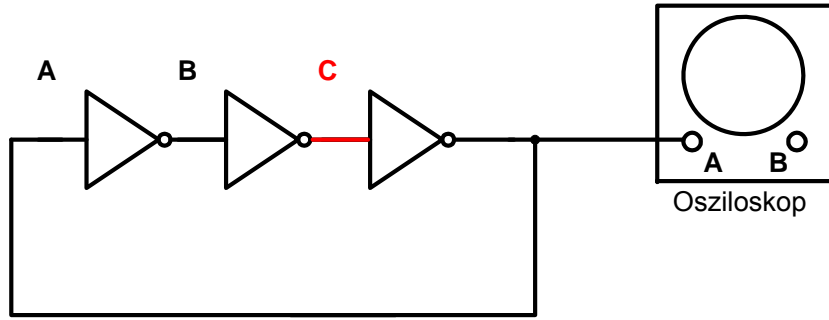


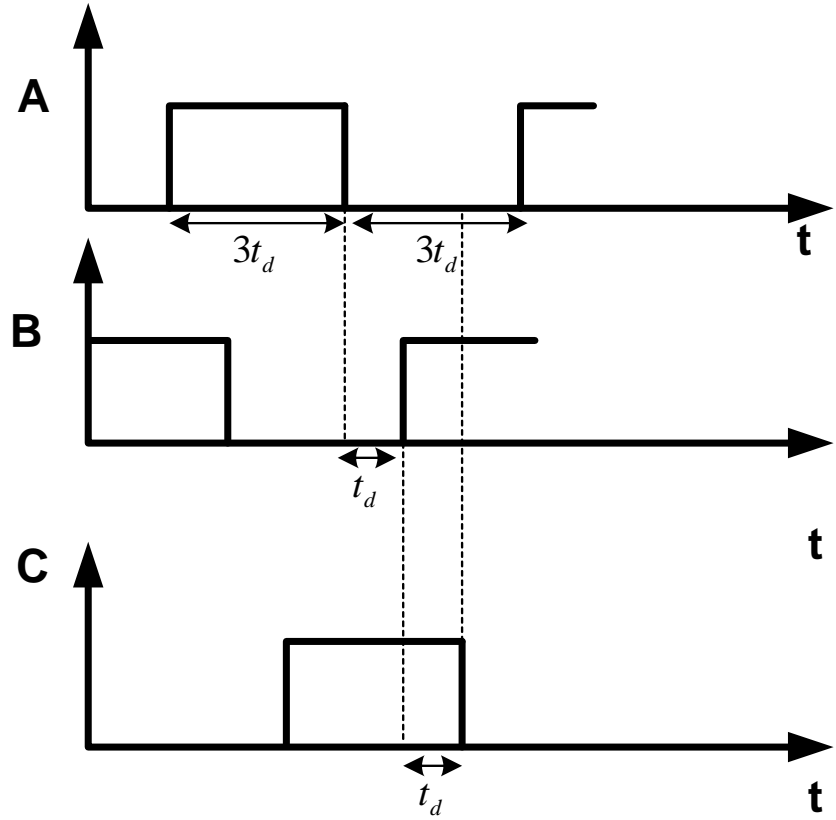
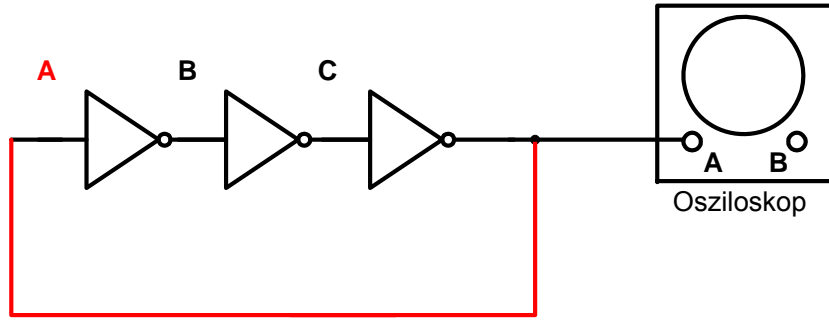




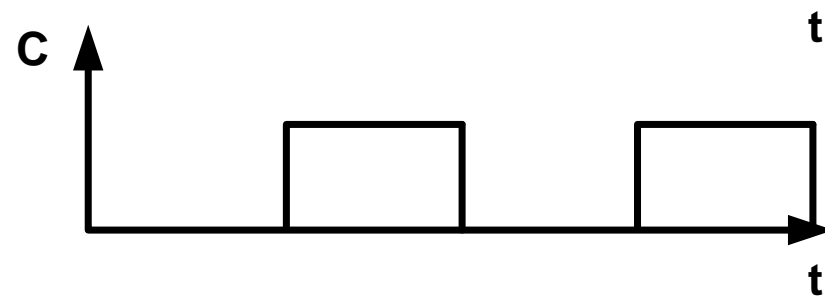
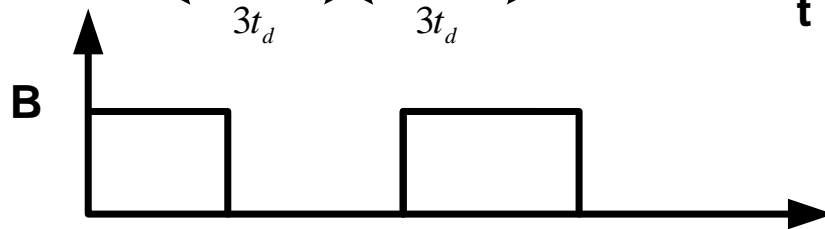
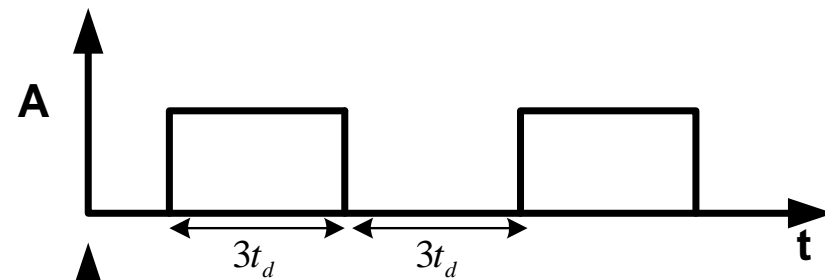
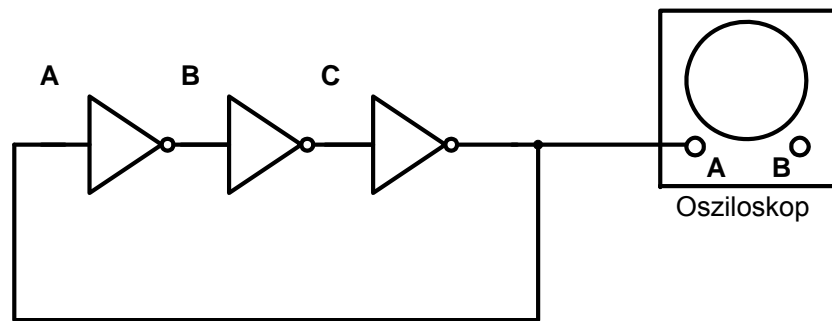
t

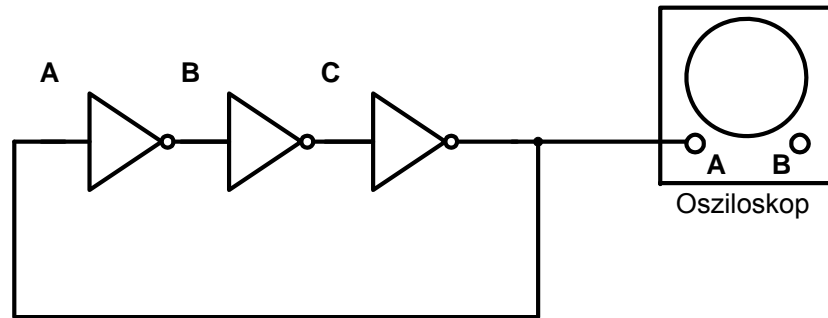






t



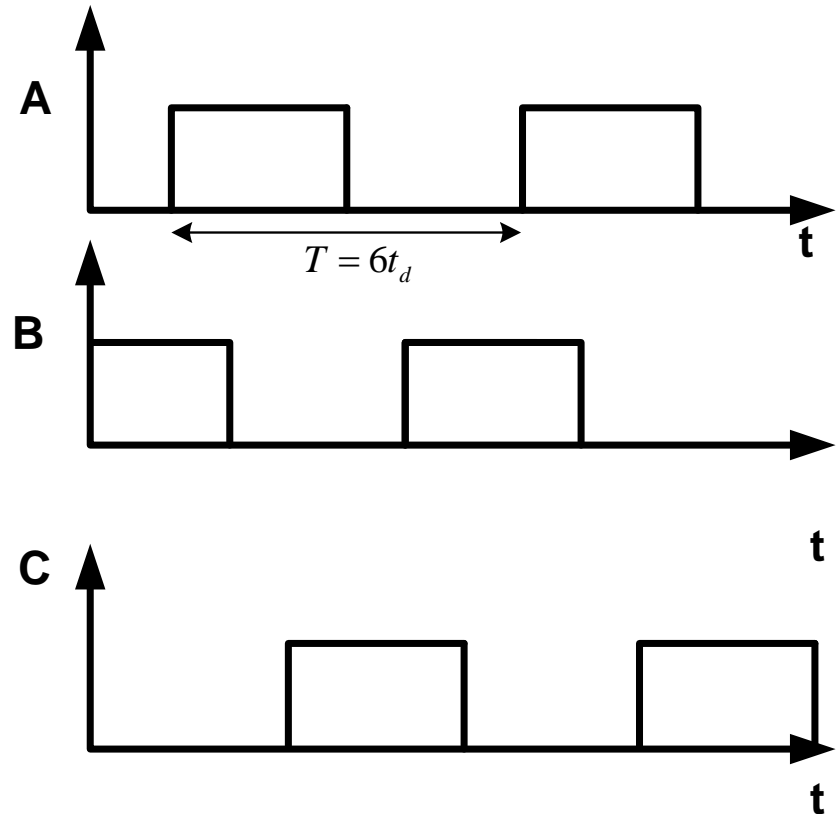


- Der Übergang von 0 auf 1 erscheint nach zwei Umläufen des Signals wieder am Punkt A.
- Pro Gatter wird das Signal um t_D verzögert.
- Insgesamt ergibt sich für die Schwingungsdauer

$$T = 2 \cdot n \cdot t_D$$

- und die Frequenz

$$f = \frac{1}{T} = \frac{1}{2 \cdot n \cdot t_D}$$



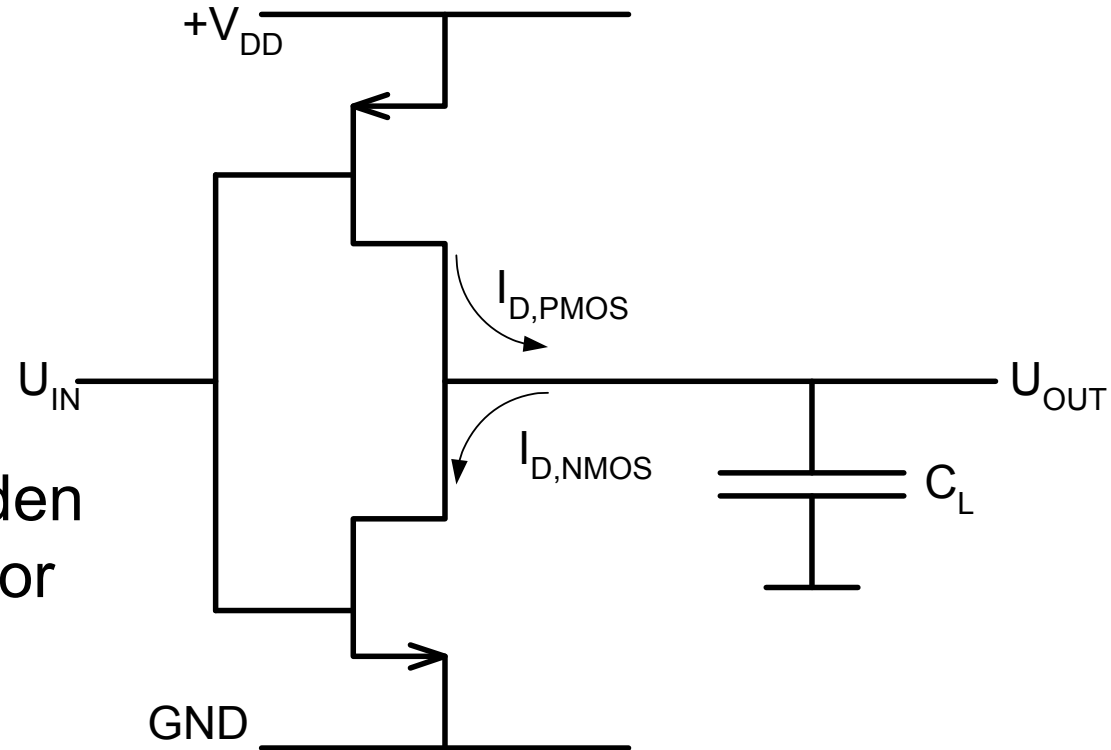
Was ist zu beachten?

1. Die Kette muss lang genug sein, damit jeder Inverter voll durchschalten kann.
Hier $n = 125$
2. Das direkte Messen mit dem Oszilloskop innerhalb der Kette belastet den Inverter kapazitiv durch die Messspitze und das Metallpad
3. Berücksichtigung von Oberwellen

Entstehung der Verzögerung

- Die Verzögerungszeit entsteht durch das Umladen von Kapazitäten.
- t_D wird durch die Kapazität C_L bestimmt, die umgeladen werden muss und den endlichen Strom der zur Verfügung steht um die Kapazität auf- bzw. zu entladen.

Betrachtung eines CMOS-Inverters



- Aufladen über den PMOS-Transistor
 $U_{in} = 0V$

- Entladen über den NMOS-Transistor
 $U_{in} = 5V$

Mittlere Verzögerungszeit

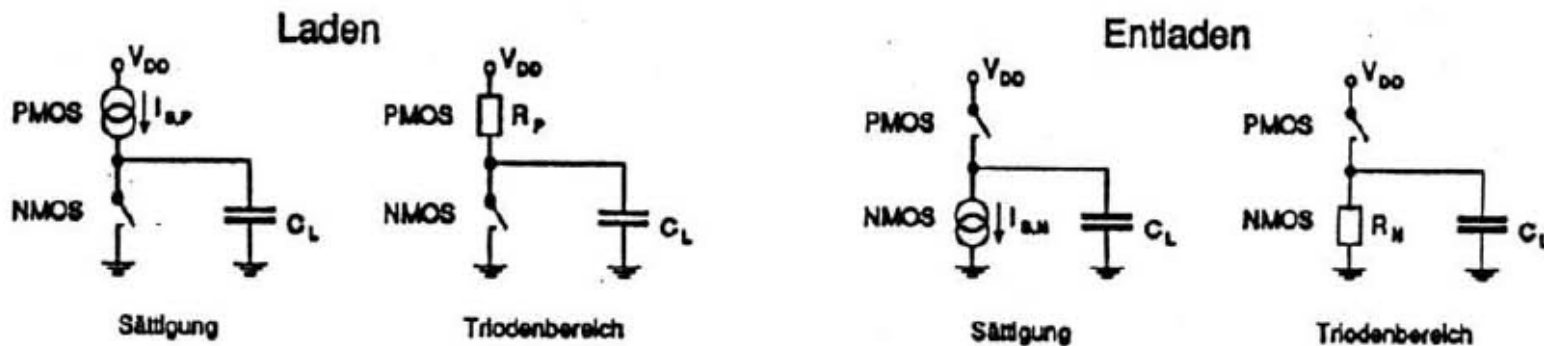
- Stromgleichungen

$$I_D = \frac{\mu C_{ox} W}{L} \left[(U_{GS} - U_T) U_{DS} - \frac{U_{DS}^2}{2} \right] \quad \text{Triode}$$

$$I_D = \frac{\mu C_{ox} W}{2L} (U_{GS} - U_T)^2 \quad \text{Sättigung}$$

Arbeitspunkt der Transistoren

- In Abhängigkeit von U_{IN} und U_{OUT} sind die Transistoren:
 - Ausgeschaltet ($U_{GS} < U_T$)
 - Im Sättigungsbereich ($U_T < U_{GS} < U_{DS} + U_T$)
 - Im Triodenbereich ($U_{GS} > U_{DS} + U_T$)



Sprungantwort

- Die Umschaltzeit des Inverters ist durch die Ladezeit der Lastkapazität C_L bestimmt
- Idealerweise hat der Eingang nur zwei Werte: $U_{IN} = 0$ oder $U_{IN} = U_{DD}$
- $U_{IN} = 0 \rightarrow$ NMOS ausgeschaltet
- PMOS in Sättigung/Triode, C_L lädt sich auf
- $U_{IN} = U_{DD} \rightarrow$ PMOS ausgeschaltet
- NMOS in Sättigung/Triode, C_L entlädt sich

Zeitverlauf der Ausgangsspannung

$$\frac{dU_{OUT}(t)}{dt} = \frac{1}{C_L} \cdot i(t)$$

- Leitender Transistor in Sättigung:

$$\frac{dU_{OUT}(t)}{dt} = \frac{1}{C_L} \cdot \underbrace{\frac{\mu C_{OX} W}{2L} (U_{GS}(t) - U_T)^2}_{I_D(t)}$$

- Leitender Transistor in Triode:

$$\frac{dU_{OUT}(t)}{dt} = \frac{1}{C_L} \cdot \underbrace{\frac{\mu C_{OX} W}{L} \left\{ [U_{GS}(t) - U_T] \cdot U_{DS}(t) - \frac{U_{DS}^2(t)}{2} \right\}}_{I_D(t)}$$

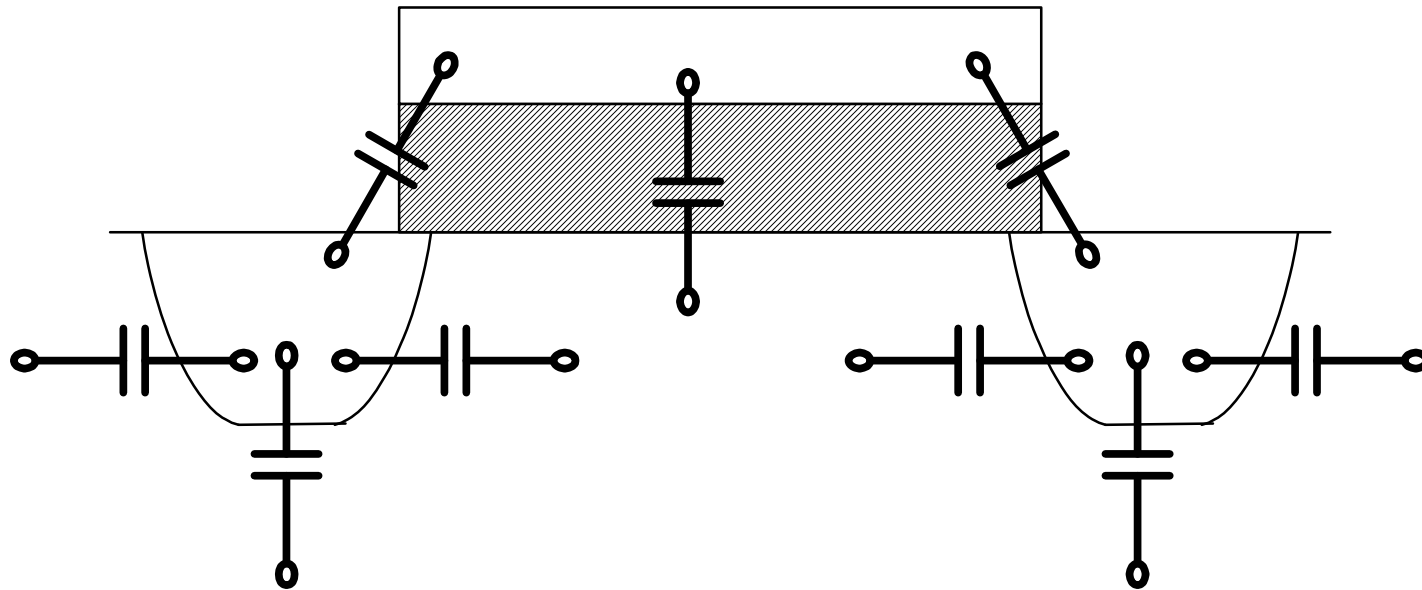
Verzögerungszeit eines CMOS Inverters

In der Realität variiert der Eingang nicht abrupt zwischen 0 und U_{DD} sondern allmählich

- Wenn $U_{TN} = |U_{TP}|$ und $k_N = \frac{\mu_N C_{OX} W_N}{L_N} = \frac{\mu_P C_{OX} W_P}{L_P} = k_p = k$

$$t_D \approx \frac{C_L}{k} \left[\frac{8}{6U_{DD}} \frac{U_{DD} + U_T}{3U_{DD} - 4U_T} + \frac{1}{U_{DD} - U_T} \left(\frac{2U_T}{U_{DD} - U_T} + \ln \left(\frac{3U_{DD} - 4U_T}{U_{DD}} \right) \right) \right]$$

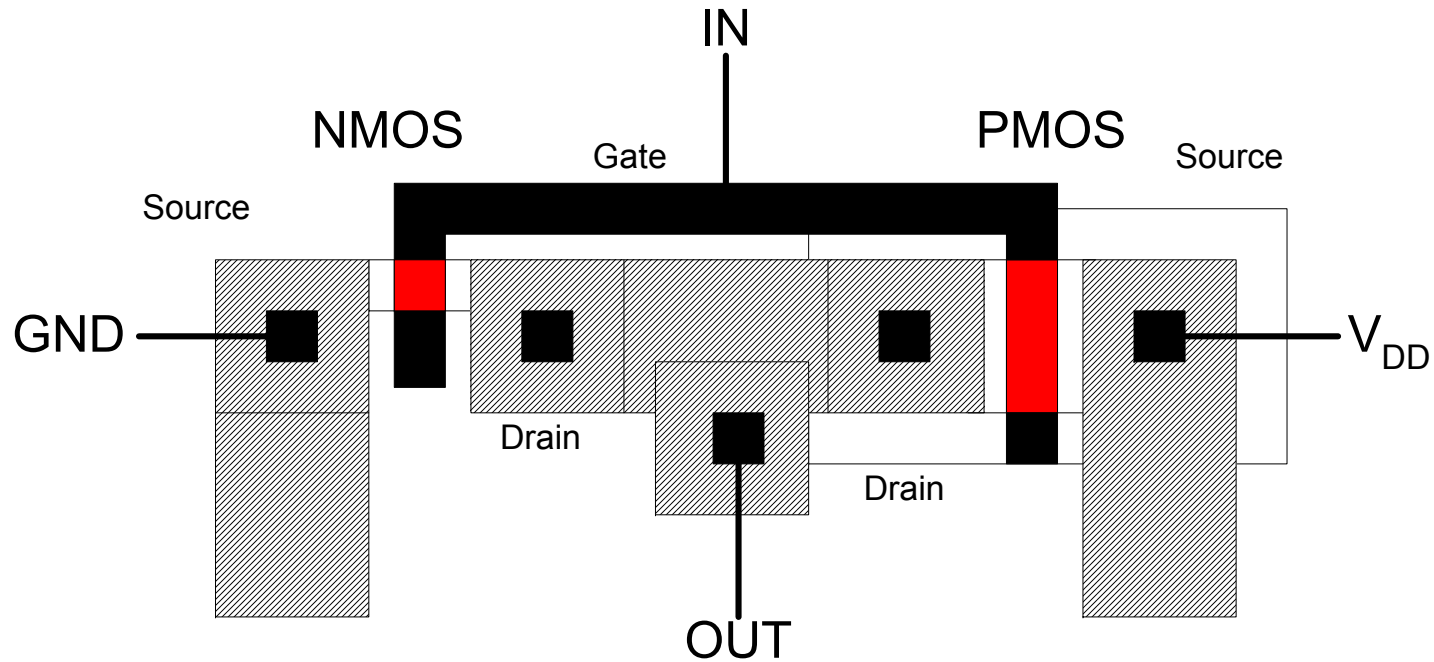
Abschätzung der Lastkapazität



Berechnung der Teilkapazitäten

n- bzw. p-MOS-Transistor

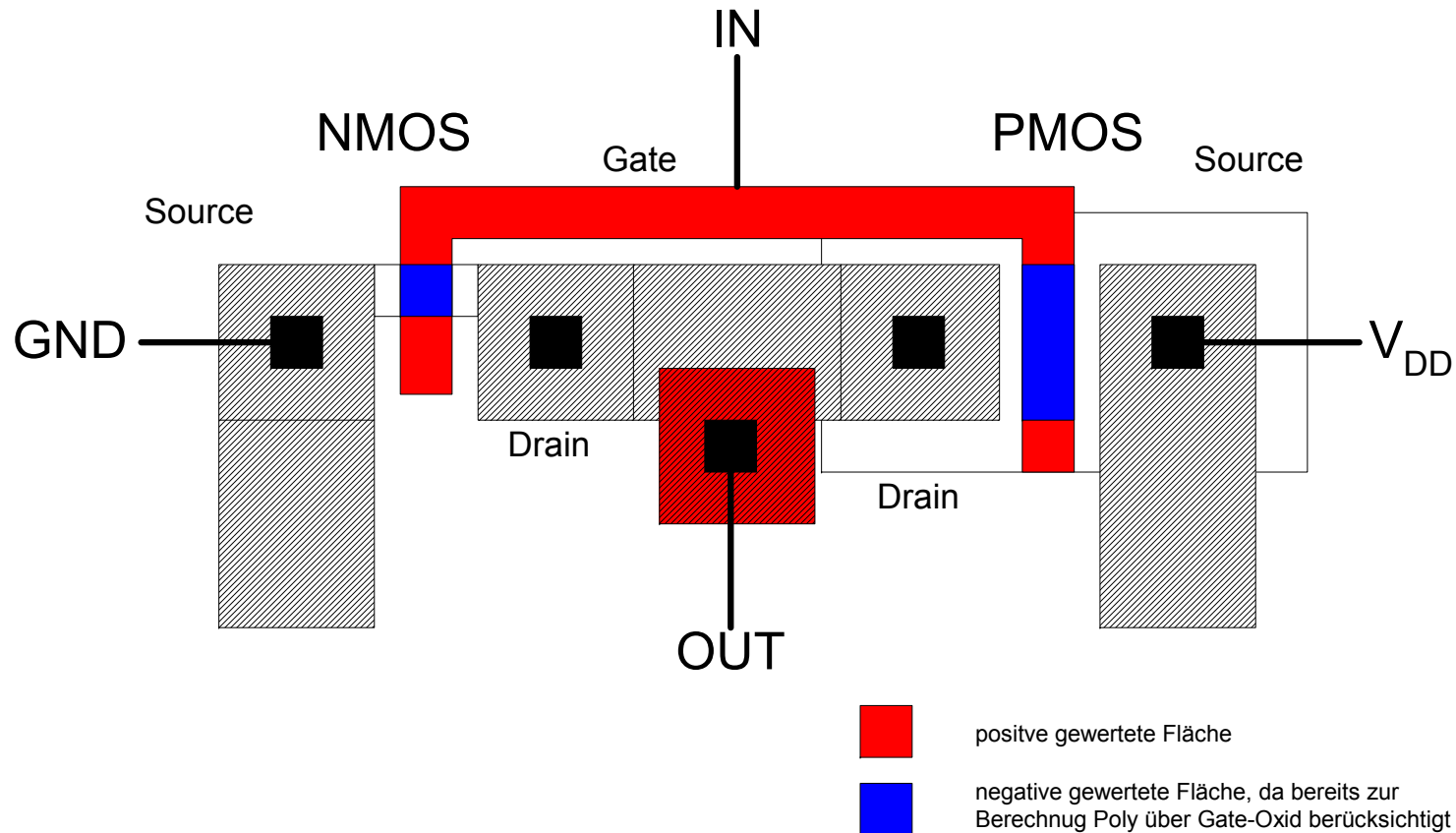
Poly über Gateoxid



$$C_1 = (L_n \cdot W_n + L_p \cdot W_p) \cdot 0,93 \text{ fF} =$$

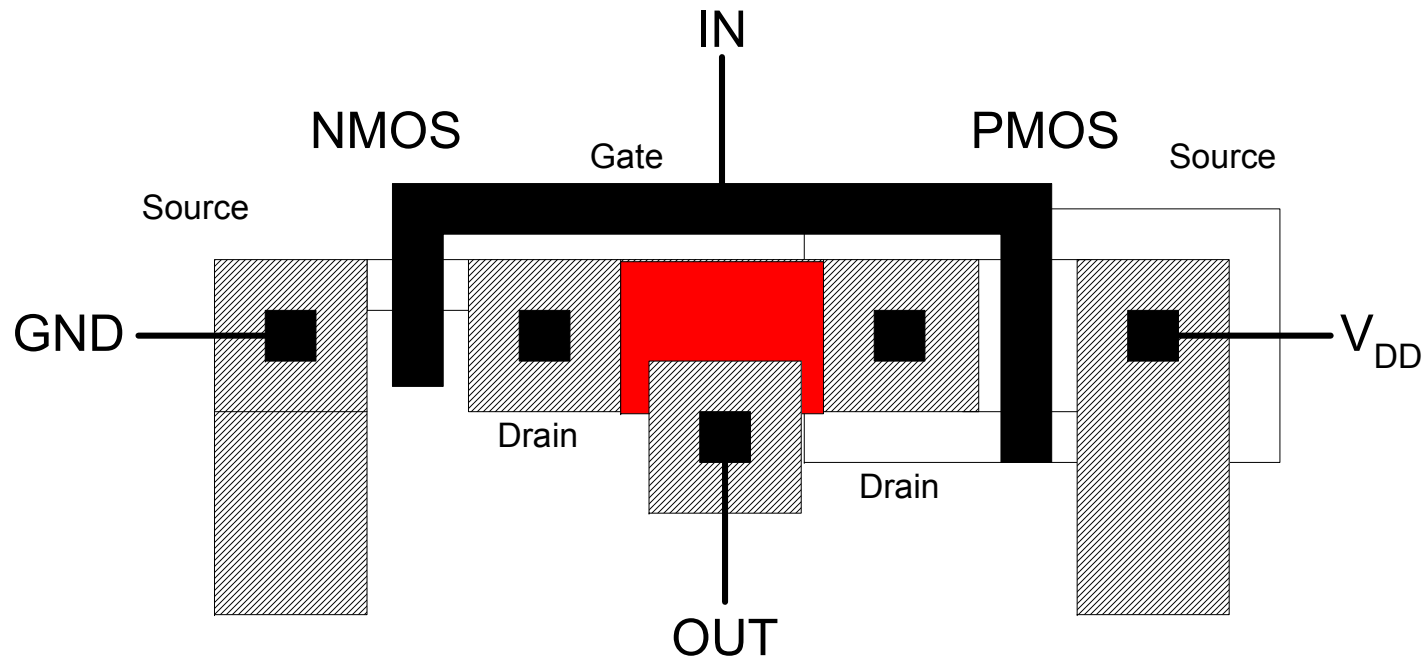
$$C_1 = (2 \cdot 2 + 2 \cdot 5) \cdot 0,93 \text{ fF} = 13 \text{ fF}$$

Poly über Substrat



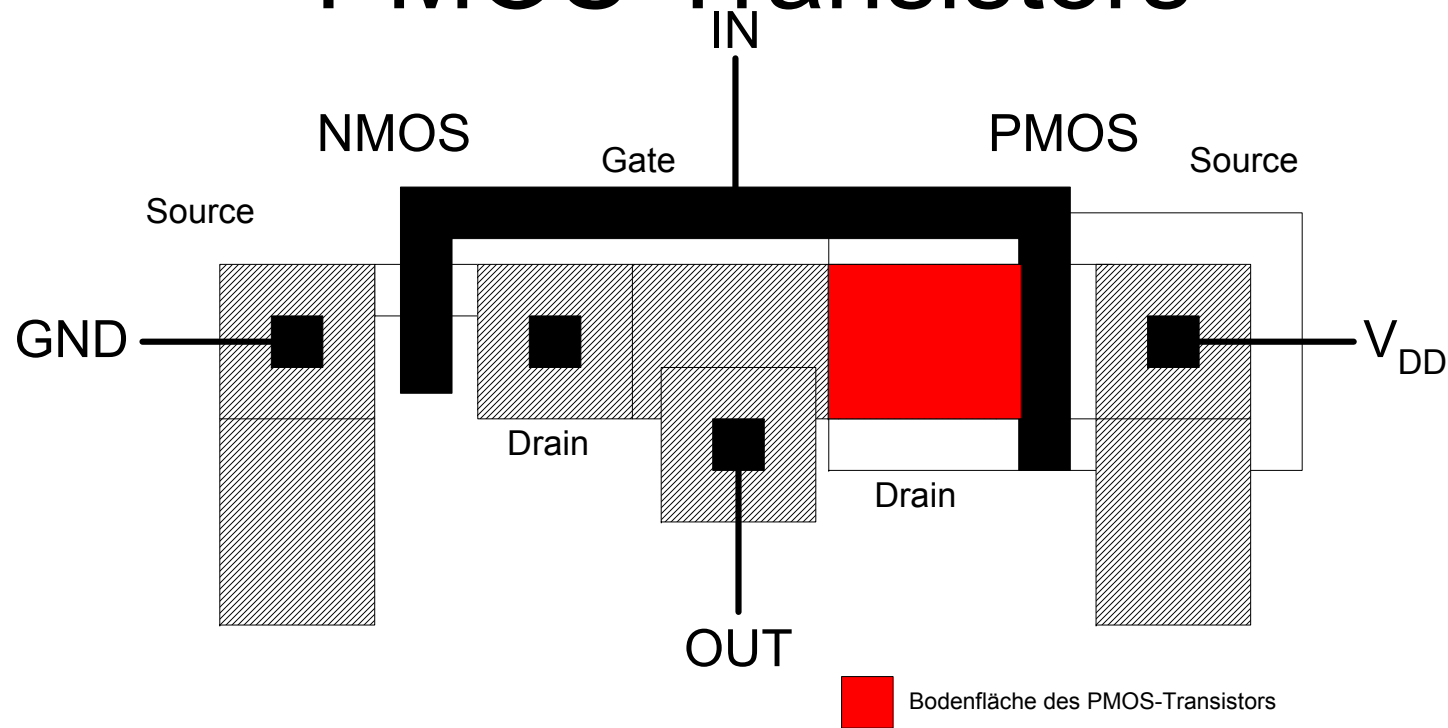
$$C_2 = [(21,5 \cdot 2 + 6,5 \cdot 2 + 9,5 \cdot 2) + 5,5 \cdot 5 - (2 \cdot 2 + 2 \cdot 5)] \cdot 0,048 \text{ fF} = 4,25 \text{ fF}$$

Alu über Substrat



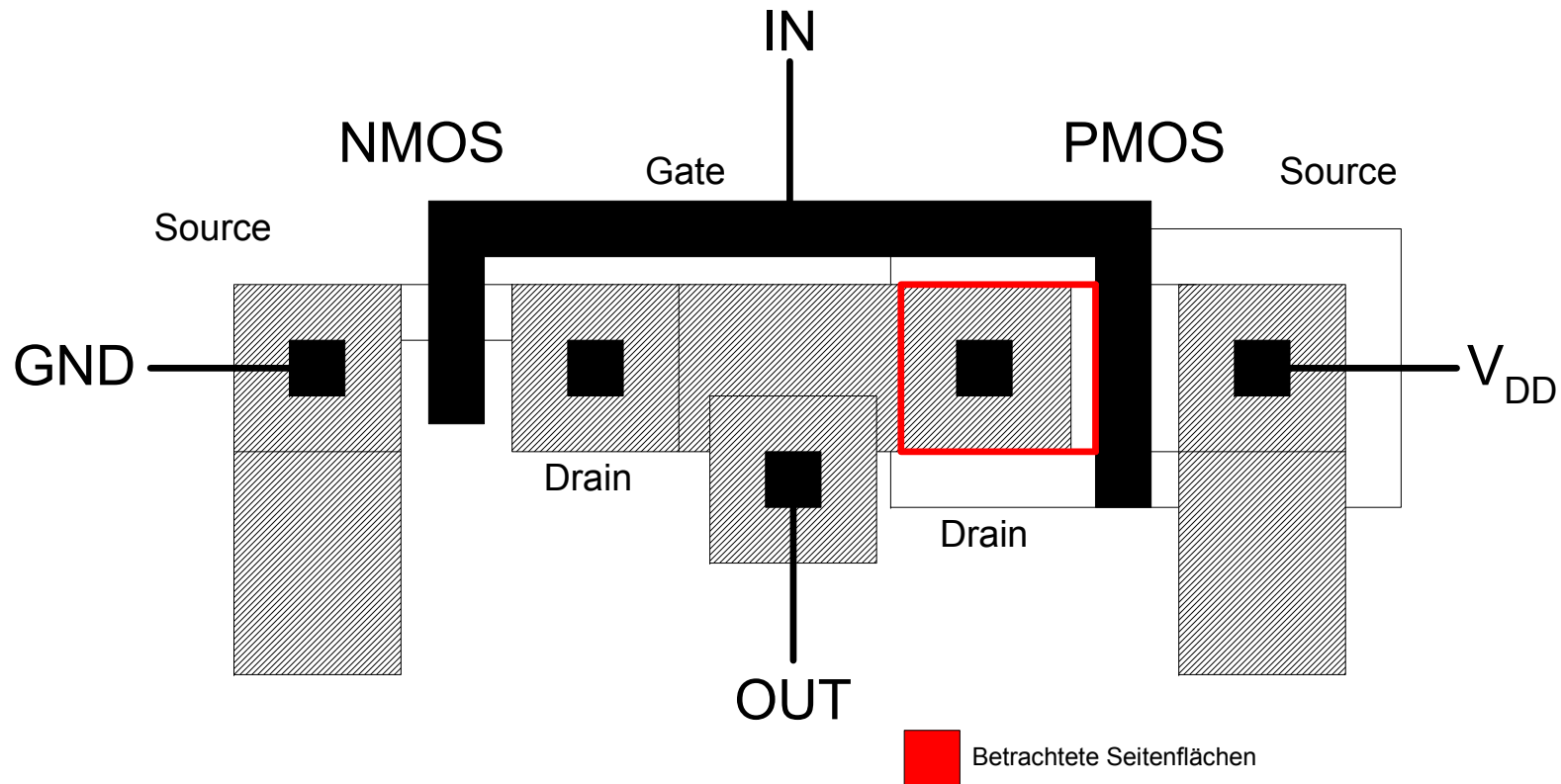
$$C_3 = (9,5 \cdot 5) \cdot 0,023 \text{ fF} = 1,09 \text{ fF}$$

Sperrschichtkapazität der Bodenfläche des PMOS-Transistors



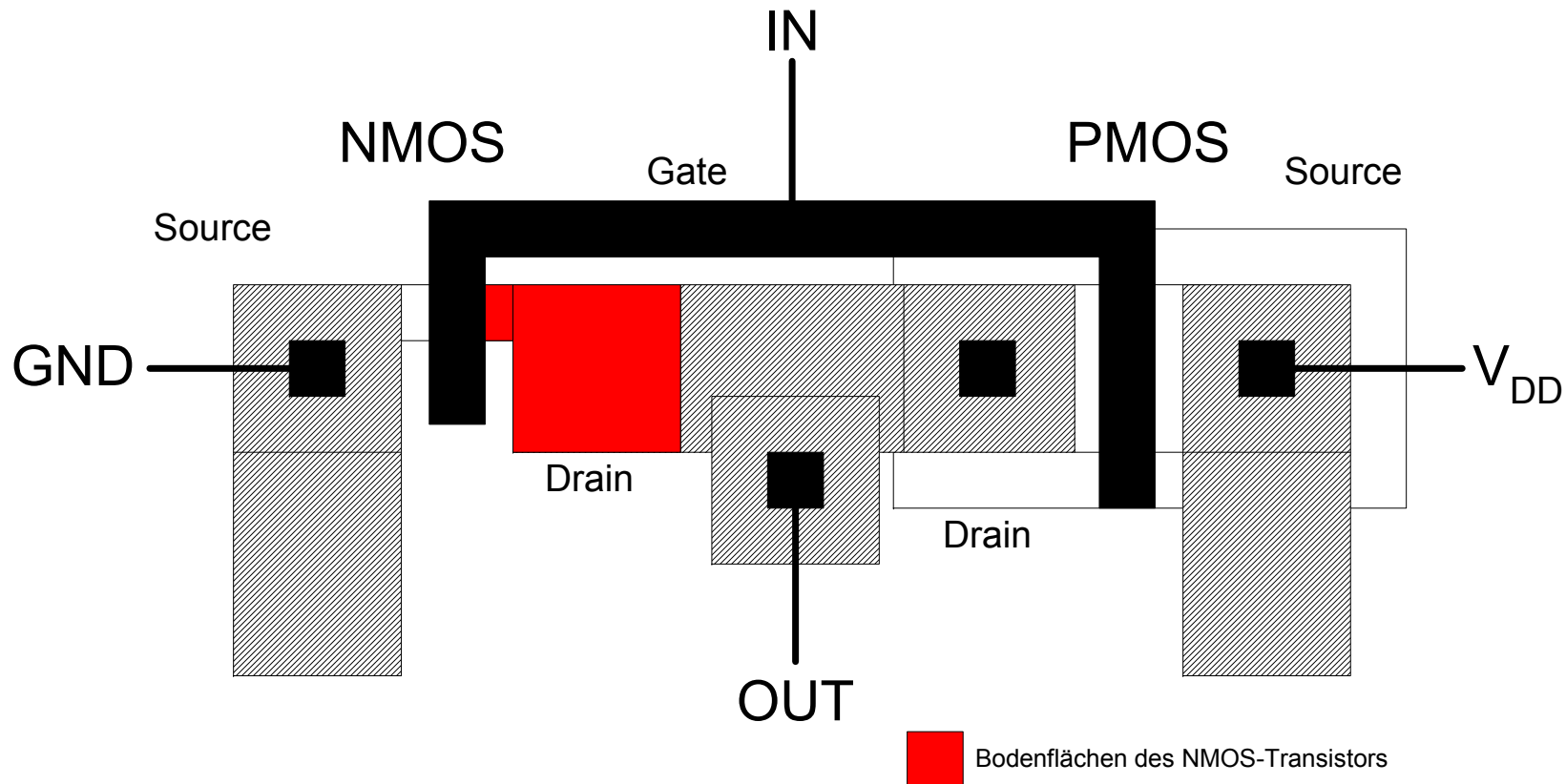
$$C_{jbP} = (5 \cdot 5,75) \cdot 0,250 \text{ fF} = 7,19 \text{ fF}$$

Sperrschichtkapazitäten der Seitenflächen des PMOS- Transistors



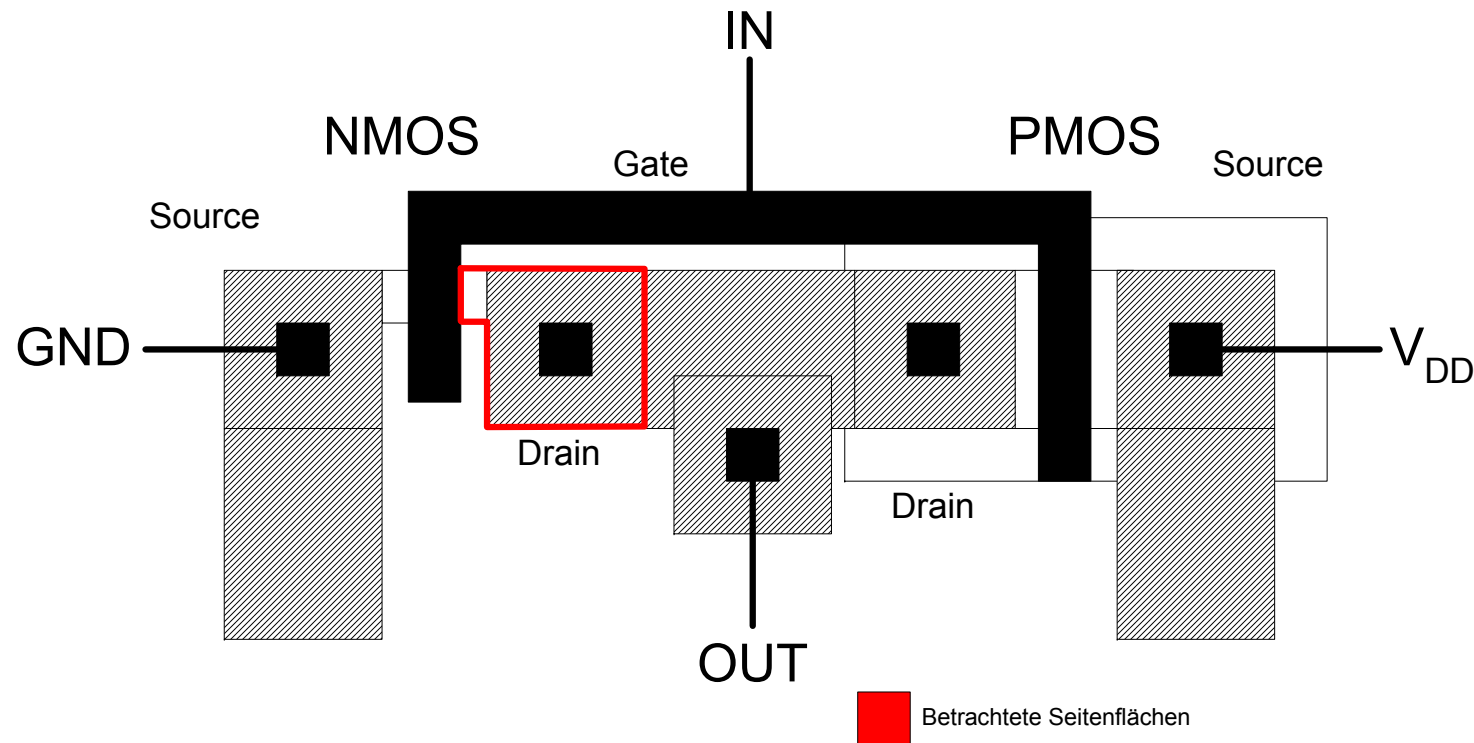
$$C_{jsP} = (2 \cdot 5 + 2 \cdot 5,75) \cdot 0,35 \text{ fF} = 7,52 \text{ fF}$$

Sperrschichtkapazität der Bodenfläche des NMOS-Transistors



$$C_{jbN} = (5 \cdot 5 + 2 \cdot 0,75) \cdot 0,195 \text{ fF} = 5,17 \text{ fF}$$

Sperrschichtkapazität der Seitenflächen des NMOS-Transistors



$$C_{jsN} = (3 \cdot 5 + 2 \cdot 0,75 + 3 + 2) \cdot 0,5 \text{ fF} = 10,75 \text{ fF}$$

Geschätzte Lastkapazität:

$$C_L = C_1 + C_2 + C_3 + C_{jbp} + C_{jsp} + C_{jbn} + C_{jsn} =$$
$$= (13 + 4,25 + 1,09 + 7,19 + 7,52 + 5,17 + 10,75) fF = 48,97 fF$$

t_D wird mit der Formel auf S. 26 geschätzt

$$f = \frac{1}{T} = \frac{1}{2 \cdot n \cdot t_D}$$

$$n = 125$$

U_{DD}	f (MHz)
2	?
3	?
4	?
5	?
6	?
7	?

Stromaufnahme

- Pro Periodendauer T wird pro Inverter die Ladung

$$Q = C_L \cdot U_{DD}$$

von U_{DD} nach Masse fließen

$$I = 125 \cdot \frac{Q}{T} = 125 \cdot C_L \cdot \frac{U_{DD}}{T} = 125 \cdot C_L \cdot f \cdot U_{DD}$$

- Der Ausgangsbuffer wird umgeladen

$$C_{gesamt} = 125 \cdot C_{Inverter} + C_{Buffer}$$

- Erhöhte Stromaufnahme bei Oberwellen, da mehrere Umladungen pro Taktzyklus erfolgen

Ende