

# Сопряжение схем дифференциальной логики разных типов

Разработка интерфейса для высокоскоростных линий передачи данных всегда являлась одной из самых критически значимых задач, определяющих работоспособность всей проектируемой системы. Функциональная несовместимость входов и выходов различных типов логики представляет существенную проблему, которая часто оказывает серьезное влияние на процесс разработки и время выхода изделия на рынок. В высокоскоростных системах дифференциальные входы и выходы, например, LVDS (низковольтная передача дифференциальных сигналов), LVPECL (низковольтная положительная эмиттерно-связанная логика) и CML (логика с токовыми переключателями) становятся все более и более популярными из-за их способности подавлять синфазные шумы. Однако переход между разными типами логики может быть весьма проблематичным, если не будут учтены все конструктивные различия интерфейсов.

Валентин Загорский

valzag@front.ru

## Характеристики LVDS-логики

Стандарт ANSI/TIA/EIA-644 определяет LVDS-логику как низковольтную дифференциальную передачу данных с низким энергопотреблением, прежде всего ориентированную на двухточечное соединение. Стандарт TR30.2, разработанный Data Transmission Interface Committee, определяет максимальную скорость передачи данных в 655 Мбит/с, хотя скорость передачи данных некоторых из современных последовательных потоковых линий связи превышает это значение. По сравнению с другими стандартами дифференциальной передачи данных по кабелю, например RS-422 или RS-485, уровни LVDS-логики имеют самое низкое значение дифференциального напряжения (обычно 350 мВ со смещением на 1,2 В над землей). Упрощенная схема двухточечной связи показана на рис. 1.

Схема LVDS-передатчика представляет собой сбалансированный источник тока, положительные и отрицательные сигналы которого сдвинуты на 180° и совместно создают выходное дифференциальное напряжение. Приемник обнаруживает дифференциальное напряжение и преобразует его в соответ-

ствующие логические сигналы. Оконечный нагрузочный резистор 100 Ом обеспечивает согласование с импедансом линии передачи. В таблице 1 приведены предельные значения шести основных параметров LVDS.

## Характеристики LVPECL-логики

Основная особенность LVPECL-логики — это то, что выходной каскад представляет собой эмиттерный повторитель. Нагрузочные резисторы 50 Ом, подсоединенные к напряжению  $V_{CC}$  — 2 В, гарантируют, что постоянный ток величиной 14 мА всегда будет протекать через эмиттеры выходных транзисторов. Этот ток дает возможность выходу LVPECL-логики быстро изменять свое состояние. Кроме того, эмиттерный повторитель имеет очень низкий выходной импеданс и может, таким образом, очень точно поддерживать единичный коэффициент передачи. Температурно компенсированный выходной буфер стандартной LVPECL-логики серии 100 обеспечивает устойчивый размах выходных колебаний при всех рабочих электрических и температурных условиях. Одно из самых важных особенностей LVPECL-

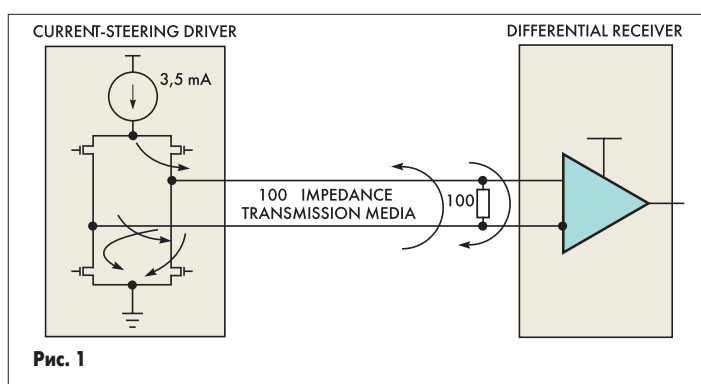


Таблица 1. Входные и выходные характеристики LVDS-логики

Передатчик					Приемник				
Параметр	Обозн.	Макс	Тип	Мин.	Параметр	Обозн.	Макс	Тип	Мин.
Высокий выходной уровень (В)	$V_{OH}$	1,249	1,375	1,602	Входное напряжение смещения (В)	$V_I$	0,5		2,35
Низкий выходной уровень (В)	$V_{OL}$	1,002	1,025	1,148	Порог чувствительности (В)	$V_{TH}$	0,1		
Дифференциальное выходное напряжение (В)	$V_{OD}$	0,247	0,350	0,454					
Напряжение смещения (В)	$V_{CM}$	1,125	1,2	1,375					

\* $V_{CC} = 3,3 \text{ В} \pm 10\%$

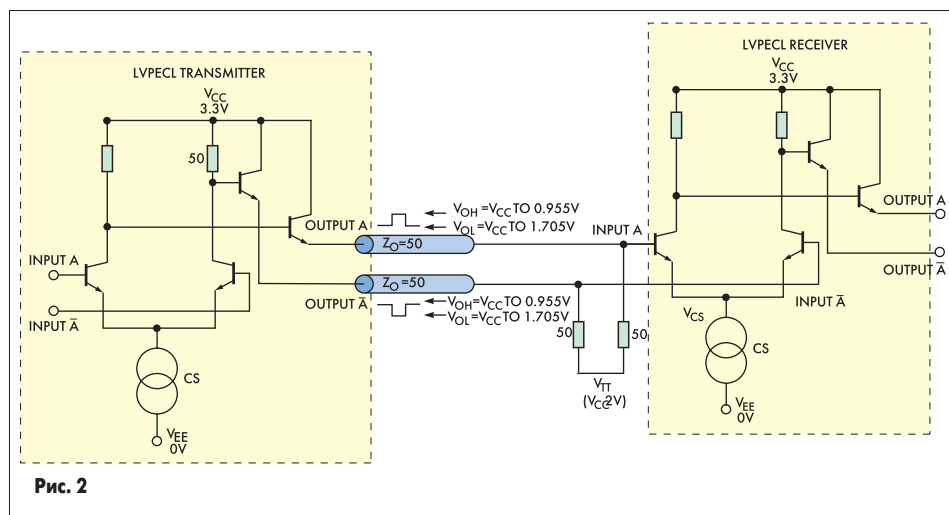


Рис. 2

Таблица 2. Входные и выходные характеристики LVPECL-логики

Передачик					Приемник			
Параметр	Обозн.	Макс.	Тип	Мин.	Параметр	Обозн.	Макс.	Мин.
Высокий выходной уровень (В)	$V_{OH}$	$V_{CC} - 1,025$	$V_{CC} - 0,955$	$V_{CC} - 0,88$	Входное напряжение низкого логического уровня (В)	$V_I$	$V_{CC} - 1,16$	$V_{CC} - 0,88$
Низкий выходной уровень (В)	$V_{OL}$	$V_{CC} - 1,81$	$V_{CC} - 1,705$	$V_{CC} - 1,62$	Входное напряжение низкого логического уровня (В)	$V_{IL}$	$V_{CC} - 1,81$	$V_{CC} - 1,48$
Дифференциальное выходное напряжение (В)	$V_{OD}$	0,595	0,8	0,93	Дифференциальное входное напряжение	$V_{ID}$	0,3	0,93
Напряжение смещения (В)	$V_{CM}$	$V_{CC} - 1,32$						

\* $V_{CC} = 3,3 \text{ В} \pm 10\%$

логики — смещение выхода к  $V_{CC}$  вместо земли. На рис. 2 представлена схема LVPECL с соответствующими нагрузочными резисторами. В таблице 2 приведены предельные значения основных семи параметров LVPECL-логики.

**Характеристики логических схем на переключателях тока**

Как следует из самого названия, логические схемы на переключателях тока (CML) имеют выходной буфер, переключающий ток (рис. 3). Ключи типичного выходного каскада нагру-

жены на резисторы 50 Ом и подтянуты к  $V_{CC}$ . Выходное напряжение сдвига передатчика CML может быть, в принципе, подтянуто к  $V_{CC}$  и имеет напряжение сдвига приблизительно равное  $V_{CC} - 0,2 \text{ В}$ , которое выше, чем у передатчиков LVDS или LVPECL. На стороне приемника подключаются «удаленные» оконечные резисторы 50 Ом, что позволяет обеспечить размах дифференциального сигнала 400 мВ. Часто встречаются приемники со встроенными «удаленными» оконечными резисторами 50 Ом. В таблице 3 приведены самые важные характеристики CML-логики.

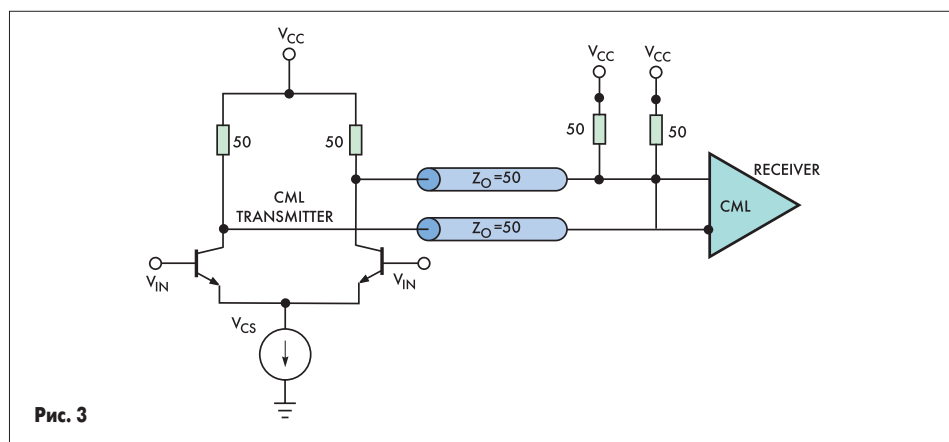


Рис. 3

Таблица 3. Входные и выходные характеристики CML-логики

Передачик					Приемник				
Параметр	Обозн.	Макс.	Тип	Мин.	Параметр	Обозн.	Макс.	Тип	Мин.
Высокий выходной уровень (В)	$V_{OH}$			3,35	Размах входного дифференциального сигнала (В)	$V_{ID}$	0,2		0,6
Низкий выходной уровень (В)	$V_{OL}$	2,94			Входной сигнал приемника (В)	$V_I$	2,7	3,1	3,5
Дифференциальное выходное напряжение (В)	$V_{OD}$	0,32	0,4	0,5					
Напряжение смещения (В)	$V_{CM}$		$V_{CC} - 0,2$						

\*  $V_{CC} = 3,3 \text{ В} \pm 5\%$

**Схемы организации связи дифференциальной логики**

Для организации связи между схемами различных типов дифференциальной логики (LVDS, LVPECL и CML) может использоваться два метода сопряжения:

- метод с передачей постоянной составляющей;
- метод сопряжения по переменному току — интерфейс TMDS (передача дифференциалов сигналов с минимальной амплитудой).

Метод с передачей постоянной составляющей основан на включении в линию передачи резисторов, сдвигающих напряжение в ту или иную сторону в зависимости от соотношений напряжений сдвига между передатчиком и приемником. При разработке схем согласования с передачей постоянной составляющей обычно используется схема Тевенина (Thevenin).

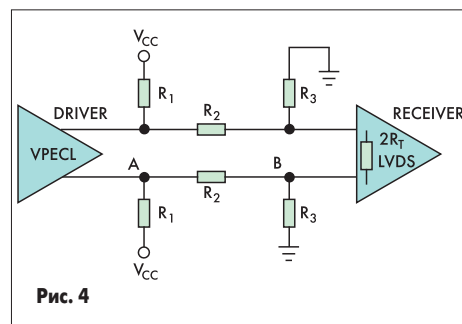


Рис. 4

На рис. 4 показан пример организации связи между LVPECL-передатчиком и LVDS-приемником. Поскольку уровень постоянной составляющей на выходе LVPECL-логики имеет более высокое значение, чем у LVDS, то необходимо использовать резистивные цепочки, снижающие это напряжение с  $V_{CC} - 2 \text{ В}$  до 1,2 В. Следует помнить, что LVDS-приемники некоторых изготовителей имеют внутренние оконечные резисторы, а у других таких резисторов нет.

При выборе значений резисторов необходимо:

- проверить, что напряжение в точке А равняется требуемому напряжению сдвига (для LVPECL-логики оно равно  $V_{CC} - 2 \text{ В}$ )

$$V_A = \frac{R_2 + R_3}{R_1 + R_2 + R_3} = V_{CC} - 2 \text{ В}$$

- необходимо гарантировать, что эквивалентный импеданс в точке А = 50 Ом, то есть  $R_{AC} = R_1 \parallel (R_2 + R_3) = 50 \text{ Ом}$  для приемников без внутреннего завершения, и  $R_{AC} = R_1 \parallel (R_2 + (R_3 \parallel R_T)) = 50 \text{ Ом}$  для приемников с внутренним оконечным резистором. Заметим, что реальная величина резистора  $R_T$  лежит в диапазоне 45–66 Ом;

- напряжение в точке В должно находиться на оптимальном для LVDS-приемника уровне — 1,2 В, то есть

$$V_B = \frac{R_3}{R_2 + R_3} \times V_A,$$

при этом считаем, что  $V_A = V_{CC} - 1,3 \text{ В}$ ;

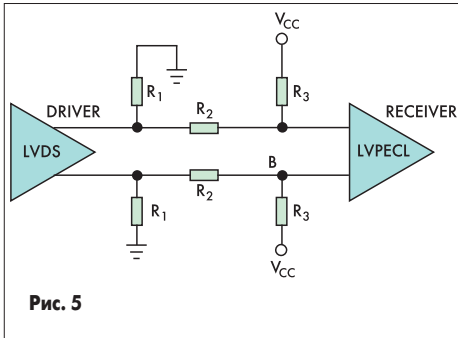


Рис. 5

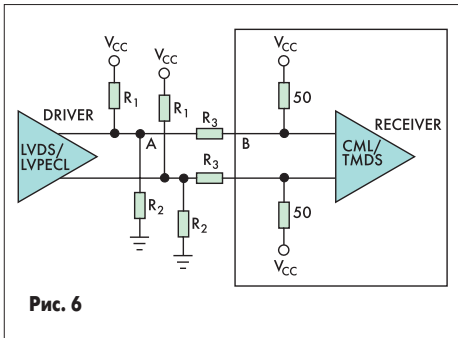


Рис. 6

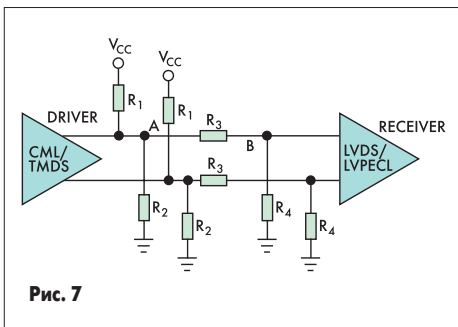


Рис. 7

- и, наконец, проверить, что размах сигнала в точке В превышает 100 мВ (порог LVDS-приемника):

$$V_{ID} = \frac{R_3 \parallel R_T}{R_2 + (R_3 \parallel R_T)} \times V_{OD} > 100 \text{ мВ}$$

где  $V_{OD}$  — дифференциальный размах выходного сигнала в точке А.

Подобным же способом осуществляется сопряжение LVDS-передатчика с LVPECL-приемником. Здесь опять для согласования необходимо использовать резистивную цепь, но для увеличения напряжения сдвига с 1,2 до  $V_{CC} - 1,32$  В. Единственное различие архитектур — то, что в этом случае  $V_{CC}$  и земля меняются местами (рис. 5). Заметим, что в этом случае нельзя использовать LVPECL-приемники с внутренними подтягивающими резисторами.

Эта методика легко распространяется на построение интерфейсов между LVDS, LVPECL, CML и TMDS. Дело в том, что TMDS и CML-логика имеют одинаковые характеристики на постоянном токе. На рис. 6 и 7 показана типичная архитектура сопряжения мик-

росхем LVDS/LVPECL-логики с микросхемами CML/TMDS-логики. Напряжение в точке А (рис. 6) должно быть равно 1,2 В для LVDS-передатчиков и  $V_{CC} - 2$  В для LVPECL-передатчиков. Необходимо обратить внимание на то, что приемники стандартов CML/TMDS обычно имеют внутренние нагрузочные резисторы 50 Ом, и при расчете эквивалентного сопротивления в точке В следует учитывать их присутствие в схеме. Также требуется использовать нагрузку LVDS/LVPECL-передатчиков с двумя резисторами ( $R_1$  и  $R_2$ ), соединенных в точке А, вместо одного, привязанного к земле, для одновременного обеспечения 50-омного согласования импеданса выхода передатчика и создания соответствующего напряжения смещения на входе приемника.

### Связь на переменном токе

Связь на переменном токе получает все большую популярность для построения высокоскоростных интерфейсов, особенно для того, чтобы подключить устройства с различными напряжениями сдвига относительно земли. Схема сопряжения на переменном токе нуждается в меньшем количестве резисторов, чем в схемах с передачей постоянной составляющей, но при проектировании интерфейсов требуется выполнить несколько условий:

- входной импеданс приемника должен соответствовать характеристическому импедансу кабеля;
- смещение приемника должно находиться на оптимальном уровне;
- ток и напряжение смещения на стороне передатчика должны находиться в надлежащей рабочей точке;
- связь между передатчиком и приемником требует совместимости размахов дифференциальных колебаний;
- емкость конденсатора связи должна быть достаточно большой, чтобы обеспечить самую низкую скорость передачи данных и выполнить требования по величине джиттера.

На рис. 8 приведен пример сопряжения CML и LVDS/LVPECL-логики (без окончательных резисторов в приемниках). Основыва-

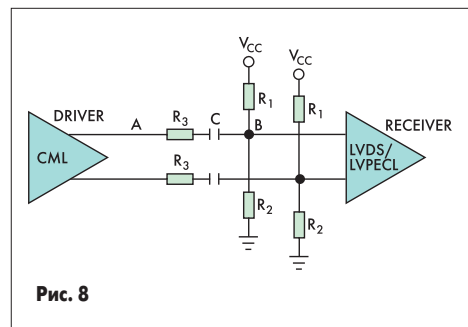


Рис. 8

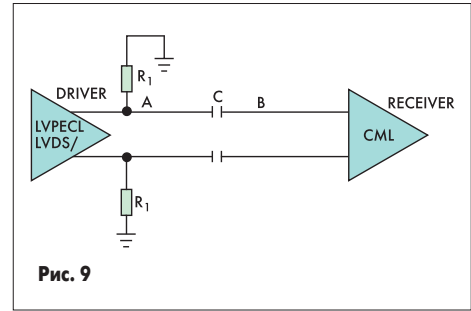


Рис. 9

ясь на общих правилах, приведенных выше, и используя следующие уравнения, рассчитываются соответствующие значения резисторов:

$$\frac{R_3}{R_2 + R_3} \times V_{CC} = 1,2 \text{ В для LVDS,}$$

$V_{CC} - 1,3$  В для LVPECL и  $R_1 \parallel R_2 = 50 \text{ Ом}$

Перед конденсатором развязки последовательно со входом LVDS-приемника возможно вставить резистор ( $R_3$ ), чтобы уменьшить диапазон размаха выходных колебаний логических схем CML. Это осуществимо, так как LVDS-приемник может работать с входными уровнями в диапазоне  $100 < V_{ID} < 600$  мВ. На рис. 9 приведена схема сопряжения LVDS/LVPECL и CML-логики. Для передатчиков LVPECL-логики резистор  $R_1$  выбирается таким образом, чтобы постоянный ток (14 мА), протекая через этот резистор, устанавливал надлежащий уровень напряжения смещения. Для LVDS-логики используются оконечные резисторы 50 Ом ( $R_1$ ) для установления требуемого (350 мВ) размаха колебаний дифференциального выходного напряжения.

### Упрощение схем согласования

Достаточно много изготовителей работает над способами устранить RC-цепочки, включаемые между передатчиками и приемниками с различными типами логики. Возможности новых устройств включают более широкий диапазон напряжения смещения приемника и программируемый размах колебаний на выходе передатчика. Например, компания Fairchild разработала новые LVDS-передатчики для организации простой связи между микросхемами с различными типами дифференциальной логики. 1–8 разрядные LVDS-повторители FIN1101/FIN1108 обеспечивают рабочий диапазон входного синфазного напряжения  $0 \dots V_{CC}$ , который превышает требование стандарта TIA/EIA-644 LVDS ( $0 \dots 2,4$  В). FIN110x позволяют непосредственно связать LVPECL/CML-передатчики и LVDS-приемники без согласующих резисторов. При испытании с использованием псевдослучайной последовательности PRBS  $2^{23} - 1$  и выходных уровней CML-логики при скорости передачи 622 Мбит/с, дифференциальный выход одноразрядного повторителя FIN1101 имел детерминированный джиттер двойной амплитуды ~67 пс, что на 4,2% меньше, чем без повторителя. Результирующий случайный джиттер для CML-логики составил 1,4 пс на входной частоте 622 МГц.