

Reset e interrupciones

M.C. Jorge Eduardo Ibarra Esquer

Resets e interrupciones

- ❑ Son respuestas a eventos que se presentan durante la ejecución normal de un programa
- ❑ Un reset regresa el microcontrolador a sus condiciones iniciales
- ❑ Una interrupción redirige el contador de programa a una rutina de servicio

Reset

- El reset regresa al microcontrolador a una condición de inicio conocida e inicia la ejecución del programa desde una localidad de memoria definida por el usuario

Efectos de la señal de reset

- Cuando se presenta la señal de reset:
 - Inmediatamente se detiene la operación que se esté ejecutando
 - Inicializa ciertos bits de control y estado
 - Carga el contador de programa (PC) con una dirección definida por el usuario que se encuentra en las localidades \$FFFE y \$FFFF

Tipos de reset

- Externo
 - Se presenta al aplicar un nivel lógico de 0 a la terminal RST durante un cierto tiempo
 - El bit PIN del registro SIM se establece en '1' al aplicar un reset externo

Tipos de reset

- Interno
 - Se presenta por alguna de las siguientes razones:
 - Power-on reset (POR)
 - Computer operating properly (COP)
 - Circuitos de reset de bajo voltaje
 - Código de operación ilegal
 - Dirección ilegal

El registro de estado del reset (SIM)

Address: \$FE01

	Bit 7	6	5	4	3	2	1	Bit 0
Read:	POR	PIN	COP	ILOP	ILAD	0	LVI	0
Write:								
POR:	1	0	0	0	0	0	0	0

 = Unimplemented

Figure 4-3. SIM Reset Status Register (SRSR)

Fuentes de reset interno

- Power-on reset
 - Se presenta cuando se detecta una transición positiva en el pin V_{DD}
 - El voltaje en el pin V_{DD} debe irse completamente a cero para que se presente este tipo de reset
 - Los bits POR y LP en el registro SIM se establecen en un valor de '1'

Fuentes de reset interno

- COP reset
 - Es un reset interno provocado por un sobreflujo en el contador COP
 - El bit COP en el registro SIM se vuelve '1'
 - Para borrar el contenido de este contador y prevenir el reset por sobreflujo, se debe escribir cualquier valor al registro de control del COP, localizado en la dirección \$FFFF

Low-Voltage Inhibit (LVI) reset

- Este reset es causado por una caída en el voltaje de alimentación
- Al presentarse este reset:
 - Mantiene en '0' la terminal de reset hasta que el voltaje en la terminal de alimentación regresa a un nivel adecuado
 - El bit LVI en el registro SIM se establece en '1'

Reset por código de operación ilegal

- ❑ Se presenta al encontrar un código de operación (opcode) que no está en el set de instrucciones del procesador
- ❑ Si el bit de habilitación de stop (STOP) en el registro CONFIG está en un nivel lógico de '0', la instrucción STOP también provocará este tipo de reset
- ❑ El bit ILOP del registro SIM se vuelve '1'

Reset por dirección ilegal

- ❑ Se presenta al intentar leer un código de operación desde una dirección no válida
- ❑ Intentar leer un operando desde una dirección no válida no provoca que se genere este reset
- ❑ El bit ILAD del registro SIM se vuelve '1'

Interrupciones

- Una interrupción cambia la secuencia de ejecución de un programa, de tal forma que pueda responder a un evento en particular
- Las interrupciones no detienen la operación que se está ejecutando; esperan a que ésta termine y después son atendidas

Interrupciones

- Al presentarse una solicitud de interrupción:
 - Los registros del CPU se almacenan en la pila. Al terminar la interrupción, la instrucción RTI los restaura
 - Activa el bit de máscara de interrupción (*I*) para prevenir que se presenten interrupciones adicionales
 - Carga en el *PC* la dirección almacenada por el usuario en el vector

Orden de almacenamiento de los registros en la pila

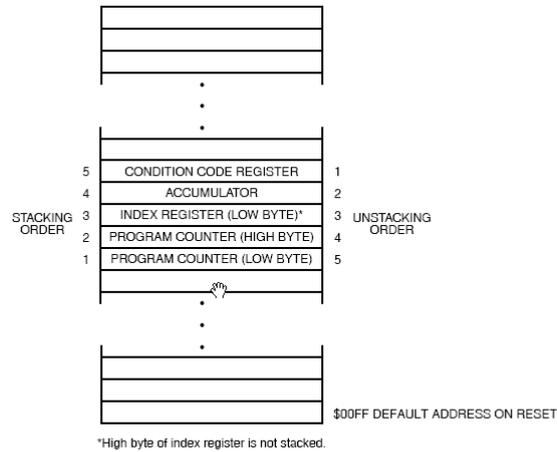


Figure 4-4. Interrupt Stacking Order

Interrupciones

- ❑ Después de cada instrucción, si el bit *I* no está activado, el CPU verifica todas las interrupciones pendientes
- ❑ Si hay más de una interrupción pendiente, se atiende a la de mayor prioridad

Prioridad

Source	Flag	Mask ⁽¹⁾	INT Register Flag	Priority ⁽²⁾	Vector Address
Reset	None	None	None	0	0xFFFF-0xFFFF
SWI instruction	None	None	None	0	0xFFFC-0xFFFD
IRQ pin	IRQF	IMASK1	IF1	1	0xFFFFA-0xFFFFB
CGM (PLL)	PLLF	PLLIE	IF2	2	0xFFFF8-0xFFFF9
TIM1 channel 0	CH0F	CH0IE	IF3	3	0xFFFF6-0xFFFF7
TIM1 channel 1	CH1F	CH1IE	IF4	4	0xFFFF4-0xFFFF5
TIM1 overflow	TOF	TOIE	IF5	5	0xFFFF2-0xFFFF3
TIM2 channel 0	CH0F	CH0IE	IF6	6	0xFFFF0-0xFFFF1
TIM2 channel 1	CH1F	CH1IE	IF7	7	0xFFFE-0xFFEF
TIM2 overflow	TOF	TOIE	IF8	8	0xFFEC-0xFFED
SPI receiver full	SPRF	SPRIE	IF9	9	0xFFEA-0xFFEB
SPI overflow	OVRF	ERRIE			
SPI mode fault	MODF	ERRIE			
SPI transmitter empty	SPTF	SPTIE	IF10	10	0xFFE8-0xFFE9
SPI receiver overrun	OR	ORIE	IF11	11	0xFFE6-0xFFE7
SPI noise flag	NF	NEIE			
SPI framing error	FE	FEIE			
SPI parity error	PE	PEIE			
SPI receiver full	SCRF	SCRIE	IF12	12	0xFFE4-0xFFE5
SPI input idle	IDLE	ILIE			
SPI transmitter empty	SCTE	SCTIE	IF13	13	0xFFE2-0xFFE3
SPI transmission complete	TC	TCIE	IF14	14	0xFFE0-0xFFE1
Keyboard pin	KEYF	IMASKK			
ADC conversion complete	COCO	AIEN			
Timebase	TBIF	TBIE	IF16	16	0xFFDC-0xFFDD

Registros y banderas de interrupción

Address: 0xFE04

	Bit 7	6	5	4	3	2	1	Bit 0
Read:	IF6	IF5	IF4	IF3	IF2	IF1	0	0
Write:	R	R	R	R	R	R	R	R
Reset:	0	0	0	0	0	0	0	0

R = Reserved

Figure 4-7. Interrupt Status Register 1 (INT1)

Address: 0xFE05

	Bit 7	6	5	4	3	2	1	Bit 0
Read:	IF14	IF13	IF12	IF11	IF10	IF9	IF8	IF7
Write:	R	R	R	R	R	R	R	R
Reset:	0	0	0	0	0	0	0	0

R = Reserved

Figure 4-8. Interrupt Status Register 2 (INT2)

Address: 0xFE06

	Bit 7	6	5	4	3	2	1	Bit 0
Read:	0	0	0	0	0	0	IF16	IF15
Write:	R	R	R	R	R	R	R	R
Reset:	0	0	0	0	0	0	0	0

R = Reserved

Figure 4-9. Interrupt Status Register 3 (INT3)

Interrupt Source	Interrupt Status Register Flag
Reset	—
SWI instruction	—
IRQ pin	IF1
CGM (PLL)	IF2
TIM1 channel 0	IF3
TIM1 channel 1	IF4
TIM1 overflow	IF5
TIM2 channel 0	IF6
TIM2 channel 1	IF7
TIM2 overflow	IF8
SPI receive	IF9
SPI transmit	IF10
SPI error	IF11
SPI receive	IF12
SPI transmit	IF13
Keyboard	IF14
ADC conversion complete	IF15
Timebase	IF16

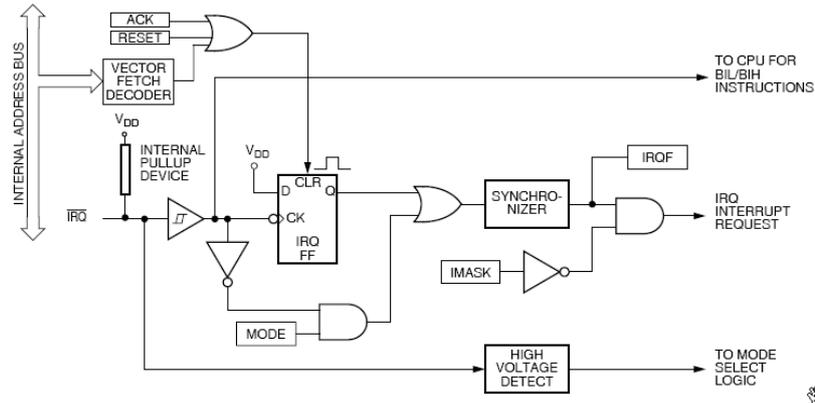
Interrupción externa (IRQ)

- Este módulo proporciona una entrada de interrupción enmascarable
- Entre sus características se incluyen:
 - Una terminal de entrada dedicada (IRQ)
 - Bits de control de la interrupción
 - Sensitividad programable
 - Buffer con histéresis
 - Reconocimiento automático de la interrupción

Interrupción externa (IRQ)

- Al aplicar un 0 lógico a la terminal de interrupción externa, se generará una solicitud de interrupción
- Las señales en la terminal IRQ se almacenan en el latch de interrupción, y permanecen activadas hasta que:
 - Se obtenga la dirección del vector de interrupciones
 - Se borre por medio de software escribiendo al registro INTSCR
 - Se presente una señal de reset

Módulo IRQ



Registro de control y estado de la IRQ

Addr.	Register Name	Bit 7	6	5	4	3	2	1	Bit 0	
\$001D	IRQ Status and Control Register (INTSCR)	Read:	0	0	0	0	IRQF	0	IMASK	MODE
		Write:						ACK		
		Reset:	0	0	0	0	0	0	0	0

□ = Unimplemented

- MODE=1 – Las interrupciones se detectan por flanco y por nivel (H→L o L)
- MODE=0 – Las interrupciones sólo se detectan por flancos (H→L)
- IMASK – Máscara de interrupción
 - 1 → Interrupción deshabilitada
 - 0 → Interrupción habilitada

Registro de control y estado de la IRQ

Addr.	Register Name	Bit 7	6	5	4	3	2	1	Bit 0	
\$001D	IRQ Status and Control Register (INTSCR)	Read:	0	0	0	0	IRQF	0	IMASK	MODE
		Write:						ACK		
		Reset:	0	0	0	0	0	0	0	0

 = Unimplemented

- ❑ ACK – Bit de reconocimiento de solicitud IRQ: Al escribir un *I* lógico en este bit, se limpia el latch de la IRQ
- ❑ IRQF – Bit de bandera de la IRQ
 - 1 → Interrupción pendiente
 - 0 → No hay interrupción pendiente

Módulo de interrupción del teclado

- ❑ Proporciona 8 terminales de interrupción, con bits de habilitación independientes y una máscara de interrupción
- ❑ Buffers con histéresis
- ❑ Sensitividad programable flanco-nivel o flanco
- ❑ Salida de modos de bajo consumo de energía

Registros

Addr.	Register Name		Bit 7	6	5	4	3	2	1	Bit 0
\$001A	Keyboard Status and Control Register (INTKBSCR)	Read:	0	0	0	0	KEYF	0	IMASKK	MODEK
		Write:						ACKK		
		Reset:	0	0	0	0	0	0	0	0
\$001B	Keyboard Interrupt Enable Register (INTKBIER)	Read:	KBIE7	KBIE6	KBIE5	KBIE4	KBIE3	KBIE2	KBIE1	KBIE0
		Write:								
		Reset:	0	0	0	0	0	0	0	0

= Unimplemented

- ❑ El registro INTKBSCR tiene un funcionamiento similar al registro de control y estado de la IRQ
- ❑ En el registro de habilitación de interrupción del teclado, un ***1*** lógico en cualquier posición, habilita la terminal correspondiente para solicitudes de interrupción