THE JOURNAL OF KOREAN INSTITUTE OF ELECTROMAGNETIC ENGINEERING AND SCIENCE. 2015 Sep.; 26(9), 790～797.

http://dx.doi.org/10.5515/KJKIEES.2015.26.9.790
ISSN 1226-3133 (Print) · ISSN 2288-226X (Online)

마이크로파 폴라 송신기의 시간지연 보상 알고리즘 구현

The Implementation of the Compensation Algorithm of Time Delay for Microwave Polar Transmitters

김 민 수 · 이 건 준 · 이 영 철*

Min-Soo Kim · Kun-Joon Lee · Young-Chul Rhee*

요 약

본 논문에서는 마이크로파용 소프트웨어 기반 폴라 송신기를 구현하고, 경로 간의 동기화를 분석하였다. 폴라 송신기의 위상신호와 진폭신호의 두 경로 간 시간 지연부정합 문제를 해결하기 위해 단순화된 보정알고리즘을 적용하였으며, 보정 전과 보정 후의 두 경로 간 동기화 결과를 비교하였다. 동기화 보정하기 전, 9.3 GHz에서 두 경로 간 지연부정합은 최대 97 nsec가 발생하였으며, 이에 따른 점유대역폭은 12 MHz이었으며, 제안한 보정알고리즘을 적용한 결과, 두 경로 간 동기화를 이루었고, 점유대역폭도 기존의 3.7 MHz로 복원할 수 있음을 확인하였다.

Abstract

In this paper, We made the microwave polar transmitter based on the software to analyze the synchronization status between the phase signal and the amplitude signal of polar transmitter, and analyzed the result. In order to solve the time delay mismatch problem, we applied simplified compensation algorithm and compared the synchronization status between the two paths before and after compensation. Before compensation, the value of time delay mismatch was the maximum of 97 nsec at 9.3 GHz with the occupied bandwidth of 12 MHz, but after applying the compensation algorithm, the signals between the two paths were synchronized, and we identified the occupied bandwidth could recover to the previous 3.7 MHz.

Key words: Polar Transmitter, Compensation Algorithm, Time Delay, Mismatch, Synchronization, Phase, Amplitude

Ⅰ. 서 론

차세대 무선통신시스템은 적용하고자 하는 어플리케이션에 따라 다양한 변조방식, 주파수 대역, 선형성 등의 다중-모드/다중-대역(Multi-Mode/Multi-Band)을 선택 및 동시 지원이 가능한 고효율의 RF 송신구조를 요구한다. 이에 대한 수요와 필요성이 증가함에 따라 이를 실현할 수 있는 송신기 구조와 특성에 대한 연구들이 활발히 진행되고 있다[1],[2].

폴라 송신기는 이러한 요구에 적합한 송신기 구조로써 폴라 송신기 내부에서 디지털적으로 진폭과 위상신호를 독립적으로 처리하기 때문에 다양한 통신표준에 대한 적용이 가능하며, 송신효율을 증가시킬 수 있는 장점이 있다. 또한, 폴라 송신기에 소프트웨어를 사용하여 SDR

「본 논문은 산업통상자원부 기술혁신사업(SW 기반 디지털 무선통신용 핵심 모듈 및 트랜시버 개발)의 지원을 받아 수행된 연구임(No.10043806).」

(주)엘아이씨티(LICT Co., Ltd.)
*경남대학교 정보통신공학과(Department of Information & Communication Engineering, Kyungnam University)

· Manuscript received July 3, 2015 ; Revised September 11, 2015 ; Accepted September 14, 2015. (ID No. 20150703-05S)

· Corresponding Author: Min-Soo Kim (e-mail: mskim@lict.co.kr)

ⓒ Copyright The Korean Institute of Electromagnetic Engineering and Science. All Rights Reserved.

(Software Defined Radio) 구조로 적용함에 따라 폴라 송신기 내의 다양한 송신 블록에 대한 제어를 할 수 있어 재구성(reconfiguration)이 가능한 장점을 가진다[3].

그러나 폴라변환을 함에 있어서 디지털적으로 진폭신호와 위상신호로 신호가 분리되어 마이크로파 폴라증폭단에서 합쳐지는 구조이므로, 진폭신호 경로와 위상신호 경로 간의 시간 지연 차이로 인한 부정합이 일어날 경우 시스템의 성능이 크게 열화되며, 부정합이 커지면 대역외로 간섭량이 증가하게 되므로, 경로 동기화는 마이크로파 폴라 증폭단의 성능에 크게 영향을 미치는 요소이다[4]~[7]. 또한, 주파수가 높아지고 송신출력이 커짐에 따라 진폭변조기의 높은 스위칭 속도와 광대역 특성을 요구하기 있기 때문에, 현재는 대부분 이동통신 시스템에서만 주로 적용되고 있는 실정이다[8],[9]. 따라서 위성통신, 기상레이더, 군사용 레이더 등 향후에는 마이크로파 대역 이상의 환경에서도 폴라 증폭단을 적용할 수 있는 송신기가 절대적으로 필요할 것으로 예상된다.

본 논문에서는 마이크로파 대역에서도 적용이 가능한 폴라 송신기를 설계하고, 폴라 증폭단의 위상과 진폭신호의 두 경로 간 시간 지연차에 따른 부정합을 보정하고자 한다. 두 경로 간의 지연 부정합을 보정하기 위해 기존에는 위상과 진폭신호의 지연에 관련된 조정값을 적용하여 동기화를 맞추었다[10],[11]. 본 논문에서는 알고리즘을 단순화하기 위해 두 경로 중 위상신호 경로는 기준신호로 두고, 진폭신호 경로에 단순화된 보정알고리즘을 통한 조정값을 적용하여 동기화를 맞추는 방식으로 구성하였다. 구현한 보정알고리즘 적용은 위상신호와 진폭신호가 합쳐진 송신 신호 대비, 피드-백 되어 돌아온 진폭신호와 위상신호가 합쳐진 신호의 위상의 변화를 확인함으로써, 보정 전 신호와 보정 후 신호의 결과를 확인하였다.

본 논문에서 구성한 마이크로파 폴라 송신기는 그림 1과 같다.

신호생성부에서 QPSK 신호를 생성하고, 폴라변환부에서는 QPSK의 I/Q 신호를 폴라변환을 거쳐 디지털적으로 위상신호와 진폭신호로 분리한다. 이 중에서 위상신호는 다시 소프트웨어 제어를 기반으로 DDS를 통해 입력값에 대한 주파수 설정 및 변조과정을 수행하여 일정한 포락선을 갖는 위상변조(PM) 신호로 변환되며, 상향변환부를

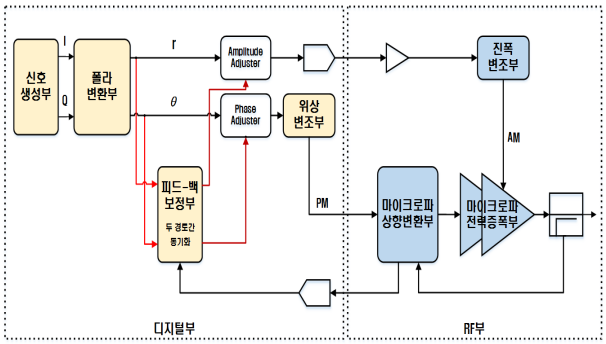

그림 1. 설계한 폴라 송신기의 전체 구성도
Fig. 1. The block diagram of the designed polar transmitter.

거쳐 마이크로파 대역으로 상향변환 후 전력증폭부의 입력으로 들어가게 된다. 폴라변환된 진폭신호는 직접 마이크로파 전력증폭부의 진폭변조(AM) 회로에서 진폭신호의 변화에 따라 전력증폭부의 바이어스를 제어하여 최종적으로 전력증폭부에서 PM 신호와 AM 신호가 합쳐진다. PM 신호와 AM 신호의 두 경로 간 지연 부정합을 정합하기 위해 피드-백 루프를 구성하였다.

Ⅱ. 경로 동기화를 위한 보정알고리즘 구현

일반적으로 두 경로 간 비동기에 의한 신호를 분석하고 보정하기 위한 방법으로 피드-백 루프를 통한 딜레이 조정이 가능하도록 그림 2와 같이 딜레이 보정블록을 구성한다[10],[11]. 여기서 Δ_1은 진폭변조(AM) 신호 경로 딜레이, Δ_2는 위상변조(PM) 신호 경로 딜레이이고, 서로 다른 딜레이 Δ_1, Δ_2를 동기화하기 위해 조정 가능한 계수 μ_1, μ_2를 각 경로에 삽입하는 구조이다.

본 논문에서는 두 경로 모두 동시에 제어하기에는 알고리즘이 복잡하므로, 알고리즘 단순화를 위하여 PM 신호 경로 딜레이를 고정시키고, AM 신호 경로 딜레이를 변화시켜 동기화 시키는 구조를 그림 3과 같이 재구성하였다. 그림 1에서 피드-백 보정부를 세분화 하면 그림 3과 같다. 여기서 $d(t)$는 타겟 신호, $e(t)$는 에러신호, $z(t)$는 출력신호이다. 그림 3에서 $d(t)$와 $z(t)$를 각각 식 (1)과 식 (2)로 표현할 수 있다.

$$d(t) = \rho(t)\cos(\theta(t)) \tag{1}$$

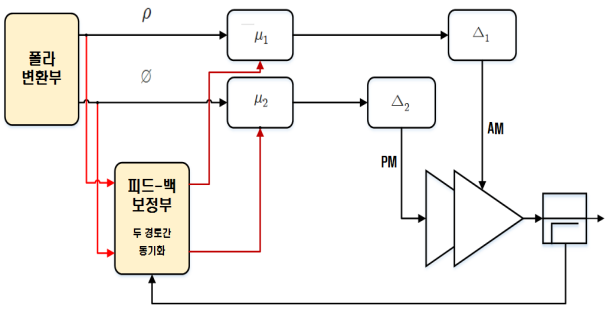

그림 2. 두 경로 간 시간지연 부정합 보상을 위한 구성도
Fig. 2. The configuration for compensating a mismatch due to the time-delay between the two signal paths.

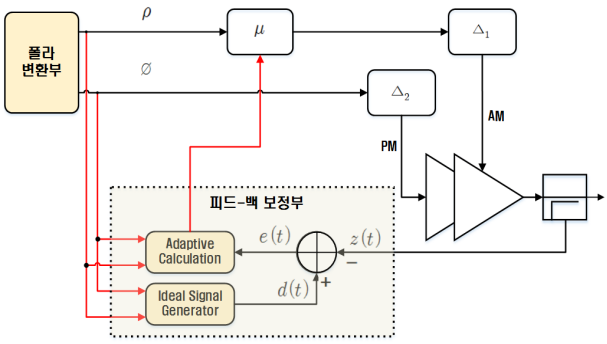

그림 3. 두 경로 간 동기화를 위한 보정블럭
Fig. 3. The configuration of compensation blocks for synchronization between the two signal paths.

$$z(t) = \rho(t + \mu - \Delta_1)\cos(\Phi(t - \Delta_2)) \tag{2}$$

식 (1)과 식 (2)에 의해 $e(t)$는 식 (3)으로 정리된다.

$$\begin{aligned} e(t) &= d(t) - z(t) \\ &= d(t) - \rho(t + \mu - \Delta_1)\cos(\Phi(t-\Delta_2)) \end{aligned} \tag{3}$$

$e(t)$의 MSE(Mean Square Error)로서의 비용함수(cost function) $J(\mu)$[10]를 표현하면 식 (4)와 같다.

$$\begin{aligned} J(\mu) &= E[|e(t)|^2] \\ &= E[|d(t) - \rho(t+\mu-\Delta_1)\cos(\Phi(t-\Delta_2))|^2] \end{aligned} \tag{4}$$

E는 통계적 기대 연산자(Statistical Expectation Operator)[10]이다. 그러므로, J가 최소가 되도록 동작환경을 변경하는 것이 보정알고리즘의 핵심이다. 여기서 동작환경이라 함은 μ가 된다. 즉, J 값이 최소가 되는 μ값을 변경해야 하는 것이다. 최급강하법(Steepest Descent)[12]에 의해 μ는 다음의 반복 식으로 표현된다.

$$\mu(k+1) = \mu(k) - \Upsilon(k)\frac{\partial J(\mu)}{\partial \mu}\bigg|_{\mu=\mu(k)} \tag{5}$$

여기서, $\Upsilon(k)$는 적응적 스텝 크기(adaptation step size) 파라미터이다. 식 (5)의 $\partial J(\mu)/\partial\mu$를 다시 정리하면 식 (6)과 같다.

$$\frac{\partial J(\mu)}{\partial \mu} = \frac{\partial}{\partial \mu}E[|e(t)|^2] = 2E\left[\frac{\partial e(t)}{\partial \mu}e(t)\right] \tag{6}$$

식 (6)에서 통계적 기대 기울기(statistical expectation gradient)를 확률적 기대 기울기(stochastic gradient)인 순시 기울기(instantaneous gradient)로 근사화 하면 식 (7)과 같다.

$$E\left[\frac{\partial e(t)}{\partial \mu}e(t)\right] \approx \left[\frac{\partial e(t)}{\partial \mu}e(t)\right] \tag{7}$$

그러므로, 코스트 함수인 J의 기울기는 식 (8)과 같이 표현된다.

$$\begin{aligned} &\frac{\partial J(\mu)}{\partial \mu} = 2\left[\frac{\partial e(t)}{\partial \mu}e(t)\right] \\ &= \frac{\partial}{\partial \mu}[\rho(t)\cos(\Phi(t)) - \rho(t+\mu-\Delta_1)\cos(\Phi(t-\Delta_2))]\cdot e(t) \\ &= -\frac{\partial}{\partial \mu}[\rho(t+\mu-\Delta_1)]\cdot\cos(\Phi(t-\Delta_2))\cdot e(t) \end{aligned} \tag{8}$$

최종적으로, μ에 대한 반복 식은 식 (9)와 같다.

$$\begin{aligned} \mu(k+1) &= \mu(k) - \Upsilon(k)\frac{\partial J(\mu)}{\partial \mu}\bigg|_{\mu=\mu(k)} \\ &= \mu(k) + \Upsilon(k)\frac{\partial}{\partial \mu}[\rho(t+\mu-\Delta_1)]\cdot\cos(\Phi(t-\Delta_2))\cdot e(t) \end{aligned} \tag{9}$$

식 (9)에 대한 동작을 확인하기 위하여 그림 4와 같이 시뮬레이션 모델을 만들었다. 두 경로 간의 비동기를 능동적으로 제어하여 보상하기 위하여 능동 필터의 내부에 시간 지연 요소를 삽입하여 동기를 맞출 수 있도록 고안하였다. 그림 4에서 전력증폭기 모델이 두 개 사용이 된 것은 전력증폭기의 출력신호의 기준을 위한 것으로서 PM 신호 경로의 시간지연을 기준으로 하여 AM 신호 경

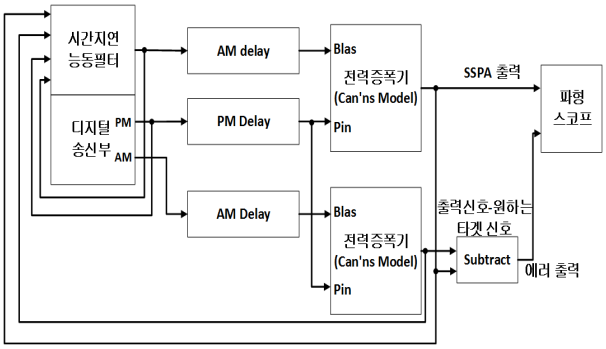

그림 4. 부정합을 보상을 위해 능동필터를 적용한 시뮬레이션 환경

Fig. 4. The simulation environment to apply the active filter for mismatch compensation.

로의 시간지연을 최적화 하는 방식을 사용하기 위함이다. 그림 4의 시간지연 능동필터의 응답시간은 필터 파라미터를 조정하여 충분히 빠르게 동기화 시킬 수 있도록 조절할 수 있다. 또한, 가변 시간 지연(variable time delay)를 포함하도록 하여 필터의 계수에 의하여 딜레이를 변화시킬 수 있도록 구성하였다.

그림 5는 입력신호에 대한 시뮬레이션 결과로서 전력증폭기 출력 파형은 초기에는 비동기에 의한 왜곡을 가지고 있다가 적응필터에 의해서 보상됨을 보여준다. 그에 따라 보정알고리즘 적용 후 에러출력도 전력증폭기의 출력파형이 보상됨에 따라 작아져서 동기되는 것을 확인할 수 있다.

진폭과 위상의 두 경로 간 지연 부정합을 보정하기 위

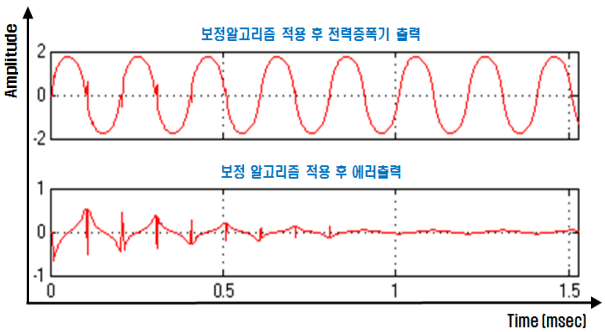

그림 5. 능동필터를 적용한 시스템 시뮬레이션 결과

Fig. 5. The simulation result of the system with active filter.

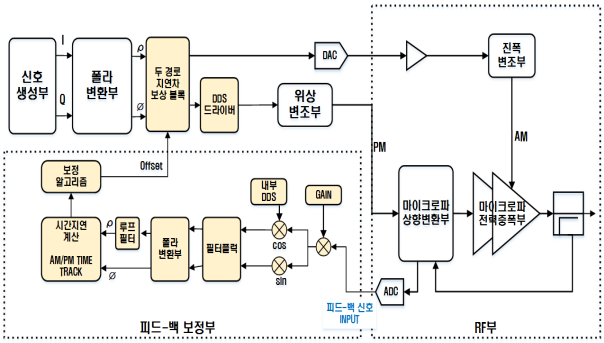

그림 6. 두 경로 간 동기화를 위한 피드-백 구성

Fig. 6. The configuration of feed-back loop for synchronization between the two signal paths.

하여 그림 6과 같이 구성하여 FPGA로 구현하였다. 피드-백 샘플링 된 신호가 ADC로 입력된다. 피드-백 신호는 20 MHz의 IF 주파수로 변조된 신호이다. 내부의 자체 구현한 DDS 블록을 통하여 20 MHz 피드-백 신호에 대해서 I/Q 변환을 하고, 변환된 신호는 필터블록을 거쳐 CORDIC 블록으로 입력되어 위상신호 성분과 진폭신호 성분으로 분리된다. 이 신호는 다시 루프필터를 통과한 후 신호 추적 블록인 AM/PM TIME TRACK으로 입력되어 위상신호와 진폭신호의 지연 부정합(time delay)을 측정한다. 측정된 시간 지연은 보정 알고리즘으로 입력되어 보정을 위한 조정값을 최종 출력하게 하도록 구성되어 있다.

그림 6의 피드-백 경로 신호는 ADC에 의해서 14 bit 디지털 변환되어 FPGA의 피드-백 보정부으로 입력된다. ADC는 데이터를 샘플링하여 14 bit의 디지털 값으로 피드백 보정부로 전달하는데, 이때 데이터 전송과 동기되는 동기클럭을 동시에 출력하여 피드-백 보정부에서 기준 클럭으로 사용할 수 있도록 한다.

피드-백 보정부의 출력 값인 offset은 8 bit 값으로서 FPGA 안에 있는 디지털 송신부로 전달되어 디지털 통신 신호의 DDS 드라이버에서 진폭신호의 시간을 조정하여 외부 DDS을 제어하도록 설계했다.

피드-백 신호로부터 위상신호와 진폭신호의 시간 지연에 대한 측정 가능한 시간을 정해야 한다. 본 논문에서 실험을 위해 정의한 데이터 통신 패킷구조는 표 1과 같다. 표 1에서 시간 측정이 가능한 시점은 Skew에 해당하는

표 1. 데이터 통신을 위한 패킷구조
Table 1. The packet structure for data communication.

Preamble(0×AA)	Skew(0×66)	Size	Data
20 byte	3 byte	1 byte	256 byte

3-Byte의 시간이다. 초기 Preamble에서는 0×AA의 데이터로서 진폭과 위상이 일정한 구간이다. 이 구간에서는 위상과 주파수 관련한 측정이 가능하다. Skew 구간에서는 0×66의 데이터로 진폭과 위상이 변화되는 구간이다. 이 구간에서 진폭과 위상의 시간 차이를 측정 및 계산한다.

여기서, Preamble은 위상 및 주파수 고정을 위하여 사용하게 되고 Skew는 Sampling point(Phase) 조정 및 start 확인을 위하여 사용한다. Size는 Rx에서 데이터 길이를 확인하기 위하여 사용하며, 수신시 AP로 전송하지 않는다. AP에서 FPGA(Tx)로 송신한 데이터의 길이(개수)가 저장된다. Data는 최대 256 byte 송수신이 가능하며, Rx에서는 Size 값의 길이까지만 유효데이터로 확인한다. 진폭 신호에 대한 최대치의 시간을 찾고, 위상변화를 주파수로 변환하여 주파수 변화의 최대치를 찾아서 이 두 시간 사이의 차이를 지연 차이로 정의하였다.

그림 6의 피드백 보정블록에서 피드백된 입력신호는 폴러변화부를 거쳐 출력된 위상과 진폭신호로부터 시간 지연을 계산해야 한다. 계산법은 PME(Peak Magnitude Event) 방식으로 진폭의 최대값과 위상변화의 최대값이 나타나는 시간의 차이로 지연시간을 계산하는 방법이다[13].

그림 7은 시간 지연 계산 과정을 보여주고 있다. 피드-백 신호의 위상값과 진폭값이 입력된 후, 위상입력에 대해서 시간지연 계산이 유효한 시간인지를 확인한 다음, 위상변화에 대한 주파수 계산 후, 주파수 최대점이 되는 시간을 찾는다. 진폭입력에 대해서는 시간지연 계산이 유효한 시간에 대해서 직접 진폭의 최대점이 되는 시간을 찾으며, 최종적으로 주파수 최대 시점과 진폭 최대 시점의 차이를 시간지연 값으로 계산해 낸다.

시간 측정 기능을 FPGA에 구현하여 동작을 그림 8 및 그림 9와 같이 시험하였다. 그림 8은 진폭과 위상 변화가 일치할 때의 모습으로서 진폭의 최소에서 위상변화의 최대가 관측되는 이상적인 모습이다.

그림 9는 진폭과 위상이 비동기되었을 때의 측정한 결

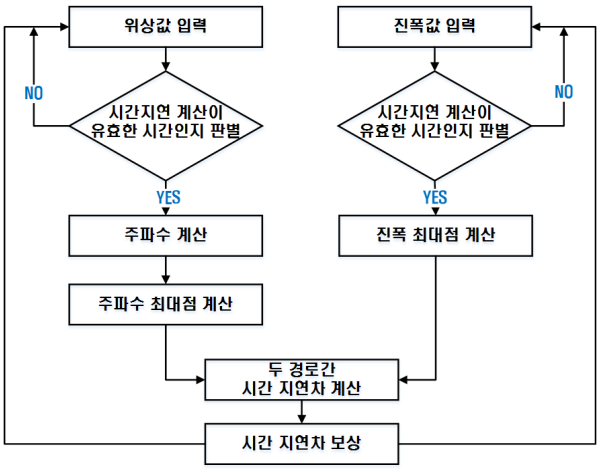

그림 7. 그림 6의 AM/PM TIME TRACK 블록에서 부정합 보상을 하기 위한 순서도
Fig. 7. The flow chart for the mismatch compensation in AM/PM TIME TRACK block in Fig. 6.

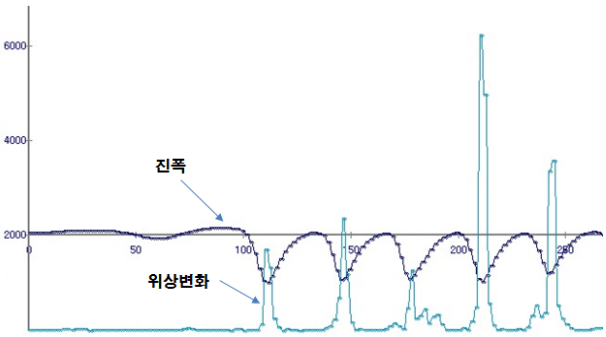

그림 8. 진폭과 위상이 동기되었을 때의 진폭과 위상변화의 관계
Fig. 8. The relationship between radius and phase variation.

과이다. 위상변화의 최대값은 진폭의 최소점 값보다 앞에 나타나거나, 뒤에 나타나게 된다. 위상변화의 최소값에서 진폭 또한 최소점을 나타나게 되어, 신호 처리시에 구분이 필요하다. 위상변화에 대한 진폭의 최소값은 원래 신호에 의한 진폭의 최소값보다 작아 구분이 가능하다.

Ⅲ. 폴라송신기의 위상과 진폭신호 동기화 분석

본 논문에서는 폴라송신기를 설계 및 제작하고, 그 결과를 분석하였다. 진폭과 위상신호의 각각의 출력을 확인

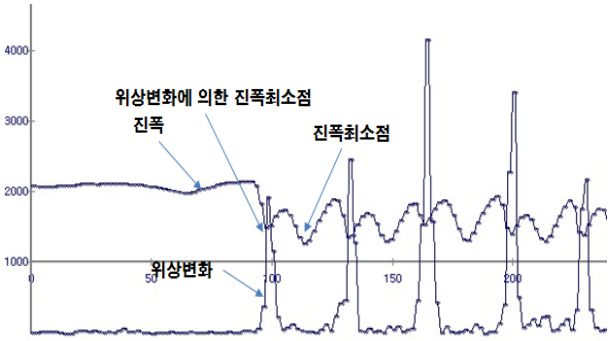

그림 9. 진폭과 위상이 비동기되었을 때의 진폭과 위상변화의 관계

Fig. 9. The relationship between radius and phase variation.

하고 피드-백 되어 돌아오는 신호를 확인한 다음, 보정알고리즘을 적용 전과 적용 후를 분석하였다.

AM 신호와 PM 신호 출력의 동기화 분석을 위해 폴라 송신기의 출력에서 재 결합시켜 피드-백된 신호를 보정알고리즘을 적용하여 검증하였다. 비교 검증을 위하여 송신데이터를 내부 DDS을 사용하여 20 MHz 변조하여 비교를 위한 기준 신호를 만들어 DAC을 통하여 출력하게 하고, 또 다른 송신 데이터를 외부 DDS와 상향변환기를 거쳐 피드-백되어 복조된 20 MHz 신호와 비교하였다.

보정알고리즘을 적용하기 전 그림 10과 같이 기준 송

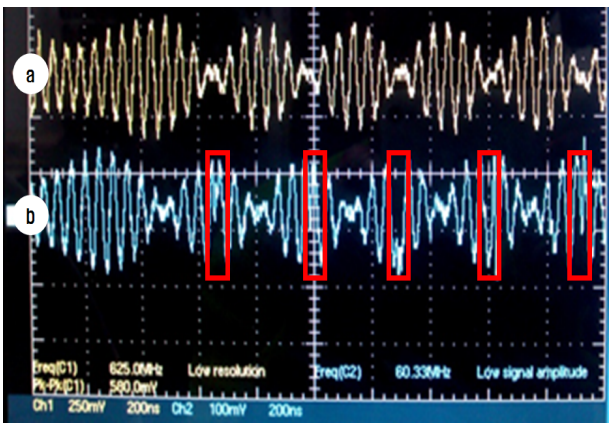

그림 10. 두 경로 간의 지연 부정합 차이로 인한 결과. (a) 송신신호, (b) 피드-백 신호

Fig. 10. The result of the delay mismatch between the two signal paths due to the difference. (a) Transmitted signals, (b) feed-back signals.

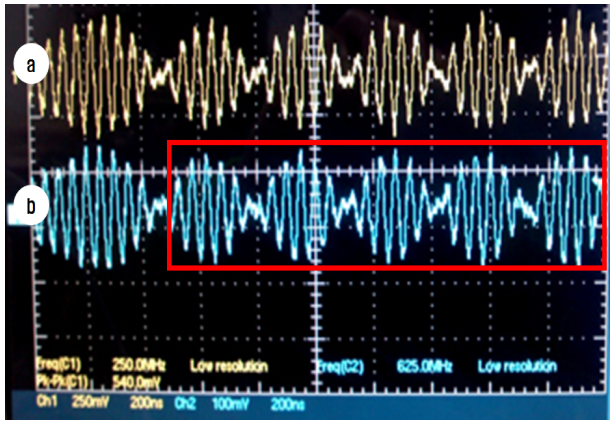

그림 11. 보정알고리즘을 적용한 후 결과. (a) 송신신호, (b) 피드-백 신호

Fig. 11. The result after applying the proposed compensation algorithm. (a) Transmitted signals, (b) feed-back signals.

신 신호(a) 대비 피드-백 되어 복조된 신호(b)는 그림 9에서 설명한 것과 같이 두 경로 간의 비동기로 인한 지연 부정합이 발생을 하여 진폭의 최소 변화 구간이 아닌 지점에서 위상의 변화가 일어나고 있음을 볼 수 있다.

그림 7과 그림 8에 의해 보정알고리즘을 적용시킨 후, 그림 11과 같이 진폭의 최소 변화 구간에서 위상변화가 일어나며, 피드-백 신호는 송신 기준 신호와 일치하는 것

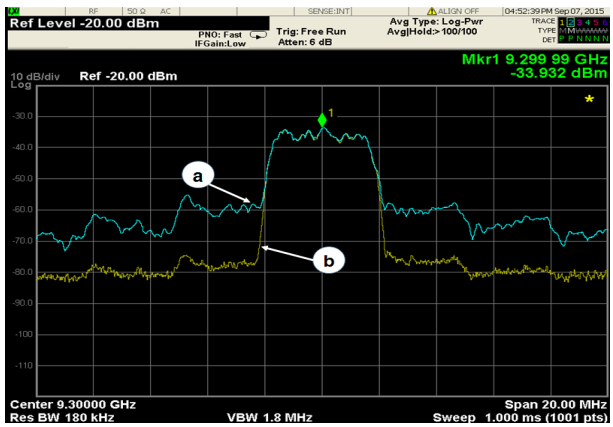

그림 12. 스펙트럼 결과비교. 보상알고리즘 적용 전(a)과 적용 후(b)

Fig. 12. The result of spectrum comparison. Without compensation algorithm(a), with compensation algorithm (b).

표 2. 지연부정합 차이에 따라 발생하는 점유대역폭
Table 2. The occupied bandwidth due to differences of the delay mismatch.

Time delay difference(nsec)	Occupied bandwidth(MHz)
0	3.7
29	3.8
39	3.9
58	8.3
68	9.3
78	10.5
87	11.5
97	12.0

을 볼 수 있다. 이는 시간지연에 대한 보상이 이루어짐을 확인할 수 있다.

보정 알고리즘 적용 전과 적용 후의 X-대역에서 스펙트럼 결과를 그림 12에서 보여주고 있다. 그림에서 볼 수 있듯이, 그림 12(a)의 경우, AM과 PM 신호 두 경로 간에 58 nsec의 지연 부정합이 발생하였을 때의 스펙트럼 결과이고, 그림 12(b)의 경우, 단순화된 보정 알고리즘 적용한 보정 후의 스펙트럼 결과이다. 그림 12에서 보는 것과 같이, 보정알고리즘을 적용했을 때 점유대역폭도 현저히 줄어듬을 확인할 수 있다. 두 경로 간 지연 부정합에 따른 점유대역폭을 표 2에 정리하였다.

Ⅳ. 결 론

본 논문에서는 마이크로파 대역용 폴라송신기의 두 경로 간 지연 부정합을 분석하기 마이크로파 폴라송신기를 설계 및 경로 간 동기화 보정 알고리즘을 분석하였다. 두 경로 간의 지연 부정합을 보정하기 위해 폴라 송신기 자체에 피드-백 루프를 구성한 다음, 본 논문에서 제안한 단순화된 보정 알고리즘을 적용하였다. 보정 전, 시간영역에서 확인하였을 때, 진폭의 최소구간이 아닌 지점에서 위상변화가 발생하였으며, 이때, 지연차는 약 58 nsec이었다. 보정 후, 정확히 동기되어 진폭의 최소구간에서 위상변화가 발생함을 확인하였다. 9.3 GHz에서 스펙트럼 결과에서는 보정 전, 최대 97 nsec의 지연차가 발생하였으며, 이에 따른 점유대역폭은 12 MHz이었다. 보정 후, 두 경로 간 지연차를 보정하였으며, 점유대역폭도 약 3.7 MHz로 복원할 수 있음을 확인하였다. 비선형 특성 외에도 온도 및 기타 특성에 따라 전력증폭부에 인가되는 두 경로 간의 지연이 발생하기 때문에 보정알고리즘으로 피드-백되는 신호를 분석하고, 그 중요성을 검증할 수 있었다.

본 논문은 마이크로파 대역에서 적용이 가능한 소프트웨어 기반 폴라 송신기에 대한 연구로 향후 마이크로파 대역 디지털 무선통신 시스템을 구현하는데 있어 참고자료가 되기를 기대한다.

References

[1] T. D. Stezler, I. G. Post, J. H. Havens, and M. Koyama, "A 2.7~4.5 V single chip GSM transceiver RF integrated circuit", *IEEE Journal of Solid-State Circuits*, vol. 30, no. 12, pp. 1421-1429, Dec. 1995.

[2] Kyoohyun Lim, Sunki Min, Sanghoon Lee, Jaewoo Park, Kisub Kang, Hwahyeong Shin, Hyunchul Shim, Sechang Oh, Sungho Kim, Jongryul Lee, Changsik Yoo, and Kukjin Chun, "A 2×2 MIMO tri-band dual-mode direct-conversion CMOS transceiver for Wor ldwide WiMAX/WLAN applications", *IEEE Journal of Solid-State Circuits*, vol. 46, no. 7, pp. 1648-1658, Jul. 2011.

[3] F. H. Raab, P. Asbeck, S. Cripps, P. B. Kenington, Z. B. Popovic, N. Pothecary, J. F. Sevic, and N. O. Sokal, "Power amplifiers and transmitters for RF and microwave", *IEEE Transactions on Microwave Theory and Techniques*, vol. 50, no. 3, pp. 814-826, Mar. 2002.

[4] W. C. Yao, N. K. Chien, "Tuneable delay compensation circuit in polar loop transmitter for WiMAX applications", *2010 APMC*, pp. 426-429, Dec. 2010.

[5] Jae Woong Jeong, S. Ozev, S. Sen, and T. M. Mak, "Mea surement of envelope/phase path delay skew and envelop path bandwidth in polar transmitters", *IEEE 31st VLSI Test Symposium 2013*, pp. 1-6, May 2013.

[6] G. Huebe, R. Staszewski, *Precise Delay Alignment bet-*

ween Amplitude and Phase/Frequecy Modulation Paths in a Digital Polar Transmitter, *First Edition*, *Wiley IEEE Press*, pp. 85-111, 2011.

[7] 강상기, "폴라송신기의 설계 및 구현", 한국인터넷방송통신학회논문지, 14(5), pp. 55-59, 2014년 10월.

[8] D. Nestor Lopez, Xufeng Jiang, and D. Maksimovic, Z. Pop vic, "Class-E power amplifier in a polar EDGE transmitter", *IEEE MTT-S IMS 2006*, pp. 785-788, Jun. 2006.

[9] Xufeng Jiang, N. D. Lopez, and D. Maksimovic, "A switched mode envelop tracker for polar EDGE transmitter", *IEEE 37th Power Electronics Specialists Conference 2006*, pp. 1-7, Jun. 2006.

[10] J. -F. Bercher, C. Berland, "Adaptive delays alignment in polar transmitter architecture", *IEEE Transaction on Circuits and Systems*, pp. 1-9, 2009.

[11] Feipeng Wang, "Design of wide-bandwidth enve lope-tracking power amplifiers for OFDM applications", *IEEE Transaction on Microwave Theory and Techniques*, vol. 53, no. 4, pp. 1244-1255, Apr. 2005.

[12] K. T. Vagner, M. I. Doroslovacki, "Proprotionate-type seepest descent and NLMS algorithms", *41st Annual Conference on Informations Sciences and Systems*, pp. 47-50, Mar. 2007.

[13] Saleh Osman, Earl W. McCllne, JR, United States Patent Patent No.2 US 8,126,409 B2.

김 민 수

2009년 2월: 경남대학교 정보통신공학과 (공학사)
2011년 2월: 경남대학교 정보통신공학과 (공학석사)
2015년 2월: 경남대학교 정보통신공학과 (공학박사)
2013년 5월～현재: (주)엘아이씨티 연구소
[주 관심분야] 초고주파 회로설계, 디지털 통신시스템

이 건 준

1997년 2월: 원광대학교 반도체학과 (이학사)
1999년 2월: 광운대학교 전파공학과 (공학석사)
2012년 2월: 고려대학교 전파공학과 (공학박사)
2013년～현재: (주)엘아이씨티 수석연구원
[주 관심분야] 레이더 시스템, 전력 증폭기, 안테나

이 영 철

1981년～현재: 경남대학교 정보통신공학과 교수
[주 관심분야] 초고주파 회로설계, 디지털 레이더 시스템