

А. С. Кожин¹, М. И. Нейман-заде^{1,2}, В. В. Тихорский^{1,2}

¹ АО «МЦСТ», ² ПАО «ИНЭУМ им. И. С. Брука»

ВЛИЯНИЕ ПОДСИСТЕМЫ ПАМЯТИ ВОСЬМИЯДЕРНОГО МИКРОПРОЦЕССОРА «ЭЛЬБРУС-8С» НА ЕГО ПРОИЗВОДИТЕЛЬНОСТЬ

В статье приведены структурная схема и характеристики восьмиядерного микропроцессора «Эльбрус-8С» и его подсистемы памяти. Проанализировано влияние объема кэш-памяти на однопоточную производительность микропроцессора, и исследована масштабируемость многопоточной производительности. Приведены результаты измерений пропускной способности подсистемы памяти и анализ ее влияния на производительность микропроцессора.

Ключевые слова: производительность микропроцессора, многоядерный микропроцессор, подсистема памяти, кэш-память, пропускная способность памяти.

Введение

Микропроцессор (МП) «Эльбрус-8С» относится к пятому поколению VLIW-микропроцессоров с архитектурой «Эльбрус» [1]. Работа по его созданию была начата в конце 2011 г., первые инженерные образцы получены в ноябре 2014 г.

Пиковая производительность МП «Эльбрус-8С» на операциях с одинарной и двойной точностью составляет 250 и 125 GFLOPS соответственно. Это в пять раз превышает вычислительную мощность ранее выпущенного четырехъядерного МП «Эльбрус-4С», дизайн которого был взят за основу, причем в связи с технологическими ограничениями, определенными для новой разработки, достижение требуемой производительности потребовало его существенного изменения и перехода на нормы 28 нм.

Ввиду того что повышение вычислительной мощности за счет увеличения числа процессорных ядер неизбежно связано с ростом нагрузки на подсистему памяти, этому фактору в новом проекте уделялось первостепенное внимание. Были решены следующие задачи:

- разработана новая схема коммутации соединений;
- реализована трехуровневая иерархия кэш-памяти;
- повышена пропускная способность подсистем памяти и ввода-вывода;
- оптимизированы протоколы межъядерной и межпроцессорной когерентности.

В МП «Эльбрус-8С» были впервые (среди процессоров серии «Эльбрус») реализованы такие

решения, как общая кэш-память и распределенная коммутационная сеть. Верификация и анализ их влияния на производительность представляют вполне оправданный интерес для разработчиков новых поколений микропроцессоров.

Статья посвящена исследованию производительности подсистемы памяти разработанного МП «Эльбрус-8С» и анализу ее влияния на однопоточную и многопоточную производительности микропроцессора.

Характеристика микропроцессора

МП «Эльбрус-8С» [2] спроектирован и изготовлен по технологическим нормам 28 нм. Его рабочая тактовая частота достигает 1,3 ГГц, кристалл имеет площадь 321 мм² и содержит 2,73 млрд транзисторов. На рис. 1 приведен топологический план микропроцессора, на рис. 2 – его структурная схема.

На одном кристалле размещены восемь процессорных ядер архитектуры «Эльбрус» (Core 0–7), каждое из которых способно исполнять до 25 операций за такт над упакованными данными (32- и 64-разрядные данные) и до 41 операции за такт в векторном режиме (упакованные 32-разрядные данные). В состав ядра входит частная кэш-память первого и второго уровней, унаследованная от МП предыдущего поколения «Эльбрус-4С». Раздельная кэш-память первого уровня имеет объем 128 КБ для команд (L1I кэш) и 64 КБ для данных (L1D кэш). Неинклюзивная кэш-память второго уровня (L2 кэш) хранит и код, и данные. Ввиду технологических ограничений на площадь кристалла и новых особенностей подсистемы памяти размер

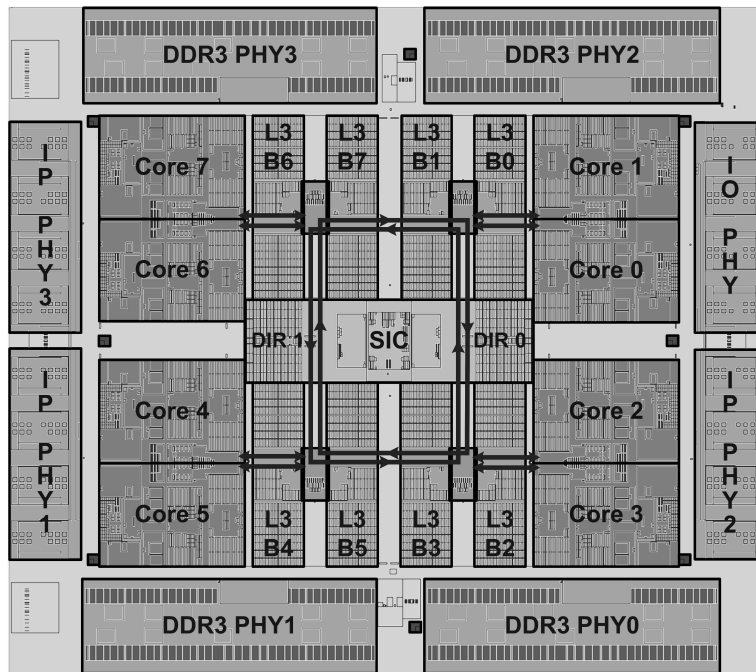


Рисунок 1. Топологический план МП «Эльбрус-8С»: Core 0–7 – процессорные ядра; L3 B0–7 – банки кэш-памяти третьего уровня; SIC – контроллер системных обменов; DIR0,1 – глобальный справочник; DDR3 PHY0–3 – блоки физического уровня памяти; IP PHY1, 2, 3 – блоки физического уровня каналов межпроцессорного обмена; IO PHY – блок физического уровня канала ввода-вывода

L2 кэша был уменьшен до 512 КБ по сравнению с «Эльбрус-4С».

Главным нововведением в иерархии кэш-памяти по сравнению с МП «Эльбрус-4С» стало появление общей кэш-памяти третьего уровня (L3 кэш) объемом 16 МБ, к которой подключены все процессорные ядра [3]. Она имеет распределенную структуру и адресное разбиение (по 8-му, 7-му, 6-му битам адреса) на восемь независимых банков

по 2 МБ (L3 B0–7), причем любое ядро имеет доступ ко всему объему каждого банка. Размер кэш-строки данных – 64 байта, ассоциативность каждого банка – 16. Выбор строки-жертвы для вытеснения производится по алгоритму NRU (Not Recently Used). Кэш-память третьего уровня является инклюзивной относительно кэш-памяти ядер и выполняет функции локального справочника для поддержки межъядерной когерентности.

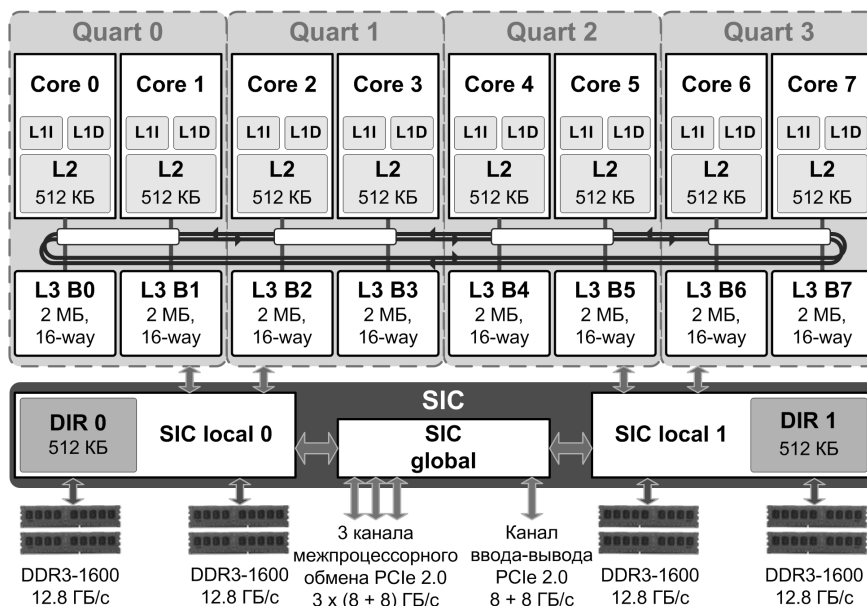


Рисунок 2. Структурная схема МП «Эльбрус-8С»

Ядра и банки общей кэш-памяти объединены в узлы Quart («квартиры») по два ядра и два банка в каждом, которые соединены двунаправленным буферизирующим кольцом [4]. Банки кэш-памяти третьего уровня напрямую подключены к контроллеру SIC.

Контроллер системных обменов SIC (System Interface Controller) выполняет функции доступа к оперативной памяти (SIC local 0,1) и подсистеме ввода-вывода (SIC global) и включает в свой состав следующие блоки:

- Глобальный справочник DIR0,1 для поддержки межпроцессорной когерентности, снижающий когерентный трафик и время доступа в память [5].
- Четыре контроллера каналов оперативной памяти DDR3-1600 SDRAM с максимальной пропускной способностью 51,2 ГБ/с, которые обеспечивают установку до 64 ГБ памяти на процессор. По сравнению с «Эльбрус-4С» их число увеличено с трех до четырех, а пропускная способность – с 38,4 до 51,2 ГБ/с.
- Три контроллера дуплексных каналов межпроцессорного обмена с пропускной способностью 8 ГБ/с в каждую сторону, позволяющие объединять до четырех микропроцессоров в одну систему с когерентной общей памятью (возможна установка до 256 ГБ памяти на систему).

- Контроллер дуплексного канала ввода-вывода с пропускной способностью 8 ГБ/с в каждую сторону, совместимый с южным мостом КПИ-2 собственной разработки.

Акцент в статье сделан на исследование влияния новых решений: общей кэш-памяти третьего уровня и распределенной коммутационной сети, соединяющей ядра и банки общего кэша.

Влияние объема кэш-памяти на однопоточную производительность

Объем доступной кэш-памяти по-разному влияет на производительность задач. На рис. 3 приведена зависимость коэффициента промахов в кэш-память (miss rate) от ее объема для разных типов задач. При заданном объеме кэш-памяти все задачи можно распределить по следующим категориям [6]:

- «Cache Friendly» – кэш положительно влияет на производительность задачи, при увеличении его объема скорость исполнения задачи также растет.
- «Cache Fitting» – рабочий набор данных целиком помещается в кэш, дальнейшее увеличение его объема уже не влияет на производительность для этой задачи.
- «Cache Thrashing» – рабочий набор данных не помещается в кэш, вызывая большое количество

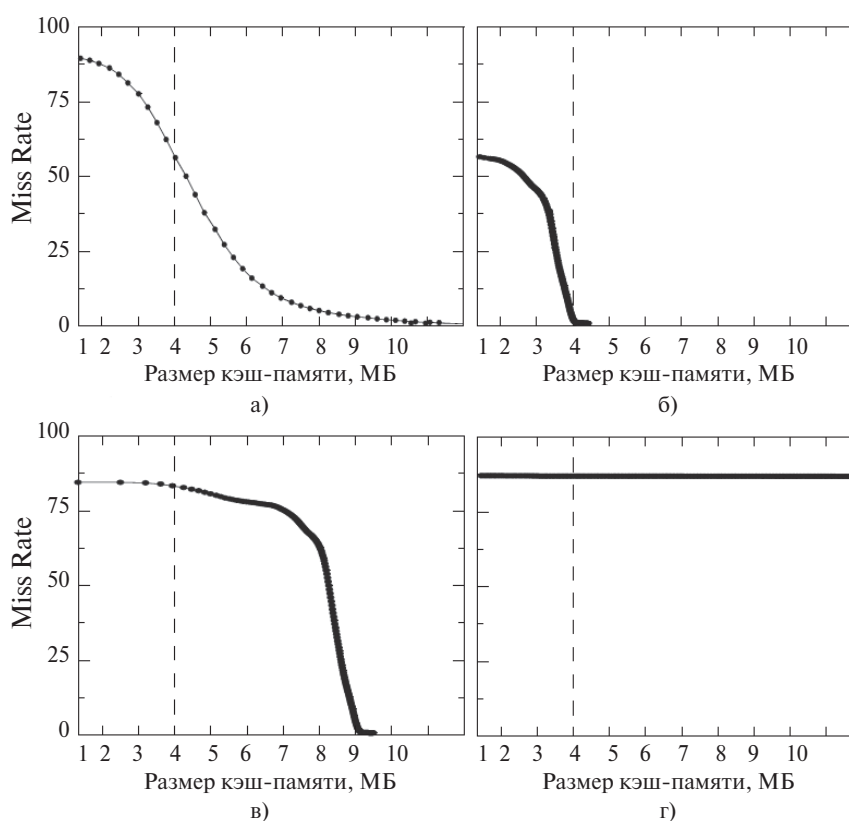


Рисунок 3. Классификация задач в отношении кэш-памяти объемом 4 МБ: а – «Cache Friendly»; б – «Cache Fitting»; в – «Cache Thrashing»; г – «Streaming»

промахов, в то же время для кэша несколько большего объема задача переходит в категорию «Cache Fitting».

- «Streaming» – рабочий набор данных слишком большой для размещения в кэш-памяти, низкий процент попадания в кэш.

В МП «Эльбрус-4С» объем кэш-памяти данных, доступной одному потоку, определялся кэш-памятью первого (L1D кэш, 64 КБ) и второго (L2 кэш, 2 МБ) уровней. В МП «Эльбрус-8С» этот объем увеличен примерно в восемь раз за счет добавления общей кэш-памяти третьего уровня (L3 кэш, 16 МБ). В результате некоторые задачи, относившиеся к категории «Cache Thrashing», могут перейти в категорию «Cache Fitting», а для задач категории «Cache Friendly» может существенно снизиться коэффициент промахов. В то же время в новом микропроцессоре возможно увеличение числа промахов в L2 кэш (512 КБ) из-за уменьшения его объема.

Для исследования подсистемы кэш-памяти нового микропроцессора и влияния объема кэш-памяти на однопоточную производительность использовался пакет SPEC CPU2006 из 29 задач [7, 8]. Он запускался в однопоточном режиме на МП «Эльбрус-8С» (1300 МГц, память DDR3-1600) и «Эльбрус-4С» (800 МГц, память DDR3-1600), причем пакет был откомпилирован для МП «Эльбрус-4С» и не использовал новые архитектурные возможности МП «Эльбрус-8С». Для каждой задачи с помощью системных мониторов измерялся процент попадания (hit rate) в кэш-память второго и третьего уровней.

На рис. 4, 5 и 6 представлены результаты проведенных измерений. Для большинства задач коэффициент попадания в L2 кэш МП «Эльбрус-8С» снизился незначительно по сравнению с микропроцессором предыдущего поколения. Среднее геометрическое процентов попадания (GMEAN) по всем задачам составило 80,0 и 82,1% для МП «Эльбрус-8С» и «Эльбрус-4С» соответственно (рис. 4 и 5). Наибольшее снижение hit rate составило 9% на задаче 436.cactusADM, среднее геометрическое – 2,1%. В то же время L3 кэш продемонстрировал достаточно высокий процент попадания на многих задачах, среднее геометрическое hit rate L3 составило 58,9% для целочисленных задач, 44,3% – для задач с плавающей точкой и 49,8% – для всего пакета (рис. 6).

На рис. 7 показано увеличение IPC (Instruction Per Cycle) для отдельных задач пакета в МП «Эльбрус-8С» по сравнению с МП «Эльбрус-4С», связанное исключительно с введением общей кэш-памяти третьего уровня. Следует обратить внимание, что в МП «Эльбрус-8С» один такт памяти равен 1,625 такта процессора, а в МП

«Эльбрус-4С» – одному такту процессора. В результате в МП «Эльбрус-8С» время доступа в оперативную память в процессорных тактах увеличено по сравнению с МП «Эльбрус-4С», что оказывает негативное влияние на IPC в МП «Эльбрус-8С».

Полученные результаты коррелируют с профилем рабочих данных задач пакета SPEC CPU2006 [8]. На задачах 400.perlbench, 401.bzip2, 403.gcc и 456.hmmcr, относящихся к категории «Cache Friendly», L2 кэш объемом 2 МБ МП «Эльбрус-4С» имеет соответственно на 4,8; 4,3; 6,7 и 5,3% больший hit rate, чем L2 кэш в четыре раза меньшего объема МП «Эльбрус-8С». Связанные с этим относительные потери полностью компенсированы кэш-памятью третьего уровня, для которой задачи по большей части относятся к категории «Cache Fitting».

Задача 429.mcf для кэш-памяти объемом меньше 8 МБ относится к категории «Cache Friendly», демонстрируя логарифмическую зависимость числа промахов на тысячу команд (Misses Per Thousand Instructions, MPKI) от объема кэш-памяти в этом диапазоне [8]. Дальнейшее увеличение кэш-памяти не уменьшает число промахов, задача переходит в категорию «Streaming». L2 кэш МП «Эльбрус-4С» имеет на 7% большее число попаданий по сравнению с L2 кэшем МП «Эльбрус-8С». В то же время L3 кэш МП «Эльбрус-8С» позволяет примерно в четыре раза уменьшить число обращений к оперативной памяти, в результате чего значение IPC на этой задаче выросло на 29,3% по сравнению с МП «Эльбрус-4С».

Задачи 471.omnetpp, 473.astar и 483.xalancbmk относятся к категории «Cache Friendly», их набор данных почти целиком помещается в 16 МБ L3 кэша, благодаря которому значение IPC увеличилось соответственно на 7,9; 3,2 и 14,1% по сравнению с МП «Эльбрус-4С».

Задача 470.lbm для кэш-памяти объемом меньше 8 МБ относится к категории «Cache Thrashing». При большем объеме MPKI резко снижается вдвое, и задача переходит в категорию «Streaming». L3 кэш объемом 16 МБ примерно в два раза уменьшает поток обращений в оперативную память, увеличивая значение IPC на 12,4% по сравнению с МП «Эльбрус-4С».

Задача 482.sphinx3, демонстрирующая достаточно высокий процент промахов (~19%) для L2 кэшей МП «Эльбрус-8С» и «Эльбрус-4С», относится к категории «Cache Fitting» для L3 кэша МП «Эльбрус-8С» с процентом попадания 99,6%. Введение L3 кэша увеличило значение IPC для этой задачи на 25,2%.

Задачи 462.libquantum, 433.milc, 434.zeusmp и 437.leslie3d относятся к категории «Cache Thrashing» для L3 кэша объемом 16 МБ, задачи 410.bwaves, 436.cactusADM и 459.GemsFDTD – к категории

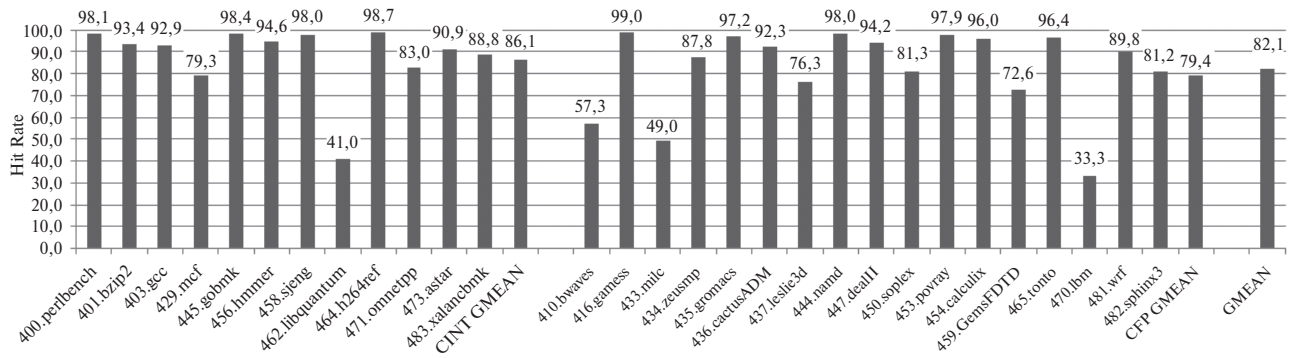


Рисунок 4. Процент попадания в 2 МБ L2 кэш МП «Эльбрус-4С»

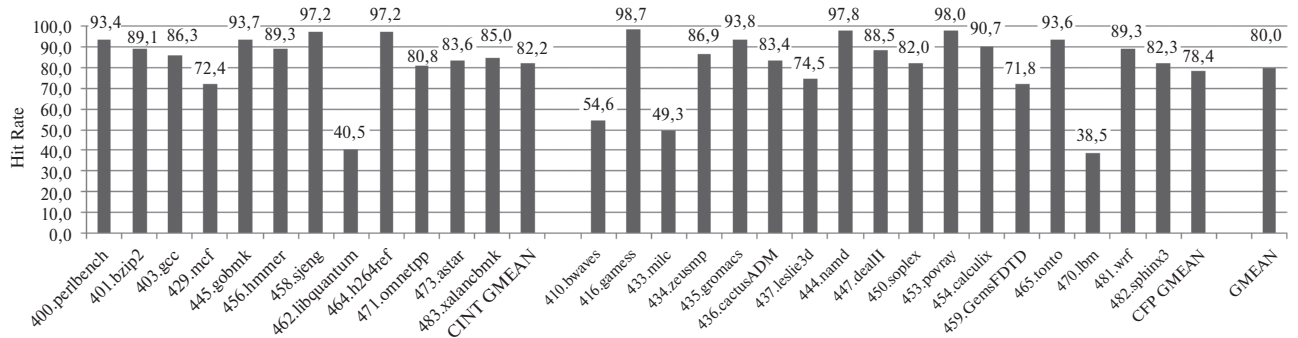


Рисунок 5. Процент попадания в 512 КБ L2 кэш МП «Эльбрус-8С»

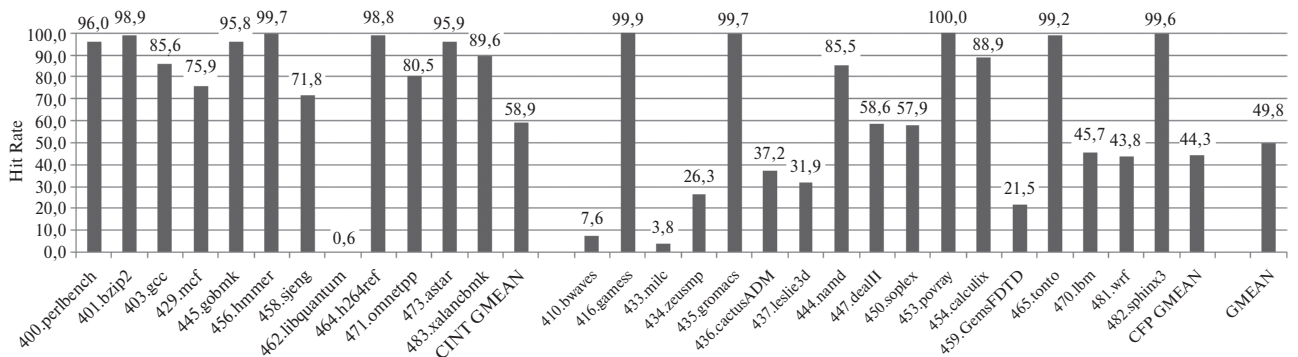


Рисунок 6. Процент попадания в 16 МБ L3 кэш МП «Эльбрус-8С»

«Streaming». Эти задачи работают с очень большими массивами; локальность небольшого объема часто используемых данных скрывается от L3 кэш-памятью верхних уровней. В результате они имеют низкий коэффициент попадания в L3 кэш МП «Эльбрус-8С», особенно задача 462.libquantum.

Пропускная способность подсистемы памяти

Пропускная способность подсистемы памяти оказывает влияние как на однопоточную производительность, так и на ее масштабируемость. Для объединения восьми ядер на одном кристалле МП «Эльбрус-8С» была разработана новая коммутационная сеть [4], имеющая распределенную топологию,

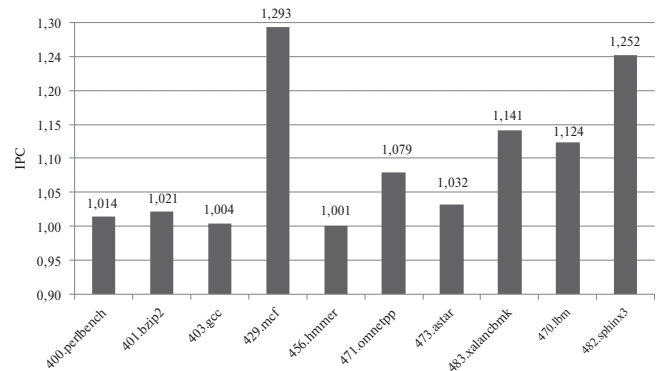


Рисунок 7. Относительное увеличение IPC для отдельных задач пакета SPEC CPU2006 в МП «Эльбрус-8С» по сравнению с МП «Эльбрус-4С»

в то время как в четырехъядерном и двухъядерном микропроцессорах предыдущих поколений использовался централизованный коммутатор для подключения ядер к подсистеме памяти.

Процессорное ядро имеет независимые порты доступа в подсистему памяти по чтению и по записи шириной 32 Б каждый. Для обеспечения пропускной способности, необходимой восьми ядрам, общая кэш-память третьего уровня разделена на восемь независимых банков. Память данных каждого банка L3 кэша состоит из двух однопортовых массивов шириной 32 Б, соответствующих старшей и младшей половинам кэш-строки. В каждом такте можно выполнять чтение или запись только одного массива данных либо одновременное чтение одного массива и запись другого. Таким образом, максимальная пропускная способность L3 кэша для восьми ядер составляет 333 ГБ/с как по чтению, так и по записи, при этом на одно ядро приходится 41,6 ГБ/с.

Разработанная коммутационная сеть состоит из четырех узлов Quart (кварт). В кварту входят два ядра и два банка общего кэша, подключенные к централизованному коммутатору L3 Com. Кварты объединены в двунаправленное буферизирующее кольцо с передачей пакетов по часовой стрелке (ClockWise Ring) и против часовой стрелки (Counter-Clockwise Ring). Контроллер SIC не охвачен кольцом, он подключается напрямую к банкам общего кэша через четыре порта, по одному порту на каждую кварту.

Пять независимых двунаправленных колец передачи информации, соответствующих первичным запросам, снуп-запросам, снуп-ответам, пакетам данных, подтверждениям завершений чтений, используют различные группы сигналов двунаправленной кольцевой шины. Пропускная способность кольца данных составляет 32 Б/такт в каждом направлении. Пакеты данных могут иметь формат 32 Б (половина кэш-строки) и 64 Б (целая кэш-строка), причем во втором случае пакет передается двумя неразрывными посылками по 32 Б. В пакете, независимо от его типа, указывается идентификатор абонента кольца (адрес назначения), которому он посылается. В коммутаторе L3 Com в результате анализа адреса назначения происходит дальнейшая маршрутизация пакета. Передача пакетов между абонентами кварты может выполняться независимо от их транзитного прохождения по кольцу. Для уменьшения числа конфликтов в кольце и времени доступа в L3 кэш разработано несколько механизмов оптимизации:

- Out-of-Order – возможность обгона для пакетов с разными адресами назначения.
- Широковещательные пакеты – передача одинаковых снуп-запросов и пакетов с данными нескольким адресатам за одну посылку.

- Упреждающая выдача заголовка данных (совместно с байпассированием данных в ядре уменьшает время попадания в L3 кэш на 20%).

Так как разработанная коммутационная схема впервые применяется в микропроцессорах с архитектурой «Эльбрус», тестирование ее пропускной способности представляет значительный интерес, в т.ч. и для следующих проектов.

Измерение пропускной способности памяти выполнялось под ОС «Эльбрус» на тесте с использованием устройства подкачки массива данных АРВ. Тест формирует поток кэшируемых обращений в память по последовательным адресам с максимальным темпом 32 Б/такт, соответствующим ширине интерфейса ядра с подсистемой памяти. В каждом запуске выполняется многократный проход по массиву заданного размера, таким образом, массив может быть целиком размещен в L2/L3 кэше с последующим попаданием в кэш на каждой итерации цикла. В зависимости от размера массива формируется обмен с разными уровнями иерархии памяти: L2, L3, оперативная память. Тест измеряет максимальный темп чтений из подсистемы памяти в режиме больших страниц.

В однопоточном режиме общая кэш-память продемонстрировала стабильный темп чтений при увеличении размера массива от 512 КБ до 16 МБ. Средняя пропускная способность составила 41,0 ГБ/с при теоретически возможной пропускной способности 41,6 ГБ/с.

Для проверки масштабируемости пропускной способности общей кэш-памяти тест запускался одновременно на нескольких ядрах при следующих условиях: ядра, на которых запускаются потоки, распределены равномерно по кольцу; массивы имеют одинаковый размер, и их сумма составляет примерно половину от объема L3 кэша. На рис. 8 приведены результаты измерения пропускной способности общей кэш-памяти третьего уровня и коммутационной сети в зависимости от количества потоков чтений. При увеличении числа потоков от одного до четырех пропускная способность растет пропорционально их числу по 40 ГБ/с на поток, при этом потоки не влияют друг на друга. При большем числе потоков появляются конфликты в коммутационной сети, и рост пропускной способности замедляется. Максимальная достижимая пропускная способность коммутационной сети и общего кэша составляет 240 ГБ/с.

Масштабируемость многопоточной производительности

Исследование масштабируемости многопоточной производительности было проведено на пакете

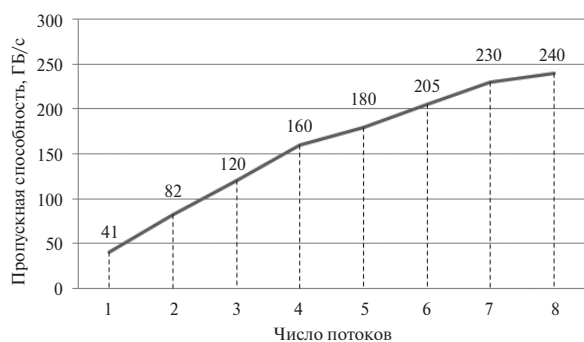


Рисунок 8. Зависимость пропускной способности общей кэш-памяти третьего уровня и коммутационной сети от числа потоков

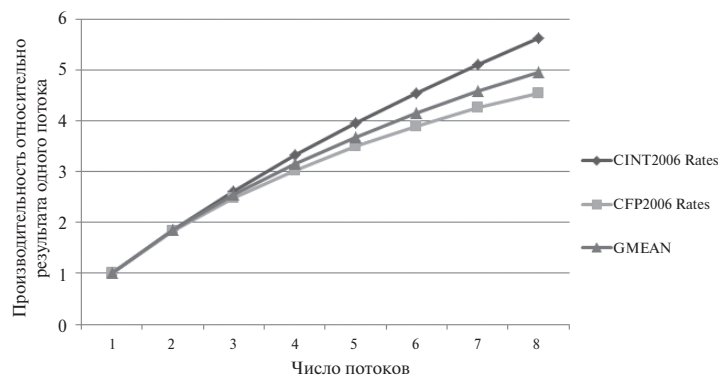


Рисунок 9. Зависимость многопоточной производительности от числа одновременно исполняемых потоков для пакета SPEC CPU2006 (Rates)

SPEC CPU2006. Задачи пакета параллельно запускались на разном количестве ядер от двух до восьми, для каждой конфигурации измерялась многопоточная производительность микропроцессора (SPEC CPU2006 Rates) относительно однопоточного запуска пакета. На рис. 9 представлена зависимость роста многопоточной производительности от количества одновременно исполняемых потоков.

В многопоточном режиме потоки разделяют между собой общие ресурсы: объем и пропускную способность общей кэш-памяти третьего уровня и пропускную способность оперативной памяти. В исследованном режиме отсутствуют общие данные для разных потоков, поэтому объем кэш-памяти на поток уменьшается пропорционально их числу. Как следствие, задачи, однопоточная производительность которых выросла благодаря появлению общей кэш-памяти, масштабируются хуже, при этом сами результаты их производительности остаются на требуемом уровне. Многие задачи показали хорошую масштабируемость и близкую к пропорциональной зависимость от числа потоков. Плохая масштабируемость задач, интенсивно работающих с памятью (Memory-Bound задач), характерна как для предыдущих поколений МП архитектуры «Эльбрус», так и для микропроцессоров Intel и AMD. Она связана с недостаточно высокой пропускной способностью оперативной памяти и увеличением протокольных блокировок интерфейса с памятью из-за большего числа циклов открытия-закрытия страниц оперативной памяти в многопоточном режиме. Добавление четвертого канала оперативной памяти увеличило абсолютную пропускную способность памяти и абсолютную многопоточную производительность Memory-Bound задач. В то же время по сравнению с МП предыдущего поколения относительный темп обмена с памятью уменьшился

с 48 до 39,4 Б на процессорный такт из-за увеличения тактовой частоты процессора более чем в 1,6 раз. Как следствие, для Memory-Bound задач значение IPC МП «Эльбрус-8С» несколько уменьшилось по сравнению с МП «Эльбрус-4С».

В данной статье исследовались многопоточная производительность при работе с частными данными и масштабируемость подсистемы памяти. Такой режим использует свойство динамического распределения объема общей кэш-памяти между потоками в зависимости от их потребностей, но не задействует другое преимущество новой кэш-памяти – повышение производительности при работе с общими данными. Эффективность общей кэш-памяти на задачах с общими данными является темой отдельного исследования.

Следует отметить, что производительность МП архитектуры «Эльбрус» в значительной степени определяется компилятором. Результаты тестирования с использованием пакета SPEC CPU2006 были получены на версии компилятора, доступной на момент написания статьи, и могут быть улучшены на новых версиях.

Заключение

Верификация производительности подсистемы памяти МП «Эльбрус-8С» подтвердила правильность реализованных решений. В однопоточном режиме общая кэш-память третьего уровня увеличила доступный объем кэшированных данных, благодаря чему повысилась производительность многих задач из пакета SPEC CPU2006. Разработанная коммутационная сеть и общая кэш-память третьего уровня показали высокую пропускную способность в однопоточном режиме и хорошую масштабируемость пропускной способности в многопоточном режиме. Разработанная подсистема памяти продемонстрировала масштабируемость

многопоточной производительности на пакете SPEC CPU2006, причем для многих задач пакета зависимость от числа потоков близка к пропорциональной.

Дальнейшие исследования будут посвящены производительности на задачах с общими данными, а также производительности многопроцессорных систем и эффективности глобального справочника.

СПИСОК ЛИТЕРАТУРЫ

1. Kozhin A. S., Polyakov N. Yu., Alfonso D.M., Demenko R.V., Klshin P.A., Kozhin E.S., Slesarev M.V., Smirnova E.V., Smirnov D.A., Smolyanov P.A., Kostenko V.O., Gruzhdov F.A., Tikhorskiy V.V., Sakhin Y.K. The 5th Generation 28nm 8-Core VLIW «Elbrus-8C» Processor Architecture. Proceedings of the International Conference on Engineering and Telecommunication (EnT-2016). Moscow, 2016, pp. 85–89.
2. Микроархитектура восьмиядерного универсального микропроцессора «Эльбрус-8C» / Д.М. Альфонсо, Р.В. Деменко, А.С. Кожин, Е.С. Кожин, Р.Е. Колычев, В.О. Костенко, Н.Ю. Поляков, Е.В. Смирнова, Д.А. Смирнов, П.А. Смольянов, В.В. Тихорский // Вопросы радиоэлектроники. 2016. Т. 4. № 3. С. 6–13.
3. Кэш третьего уровня и поддержка когерентности микропроцессора «Эльбрус-4C+» / А.С. Кожин, Е.С. Кожин, В.О. Костенко, А.В. Лавров // Вопросы радиоэлектроники. 2013. № 3. С. 26–38.
4. Кожин А.С., Сахин Ю.Х. Коммутация соединений процессорных ядер с общим кэшем третьего уровня микропроцессора «Эльбрус-4C+» // Вопросы радиоэлектроники. 2013. Т. 4. № 3. С. 5–14.
5. Вараксин В.Н., Исаев М.В., Сахин Ю.Х. Оптимизация межпроцессорного протокола когерентности с помощью справочника микропроцессора «Эльбрус-4C+» // Вопросы радиоэлектроники. 2013. Т. 4. № 3. С. 14–26.
6. Jaleel A., Hasenplaugh W., Qureshi M., Sebot J., Steely Jr. S., Emer J. Adaptive insertion policies for managing shared caches. Proceedings of the 17th international conference on Parallel architectures and compilation techniques. ACM, 2008, pp. 208–219.
7. Henning J.L. SPEC CPU2006 benchmark descriptions. ACM SIGARCH Computer Architecture News. 2006, vol. 34, no. 4, pp. 1–17.
8. Jaleel A. Memory characterization of workloads using instrumentation-driven simulation [Электронный ресурс]. Intel Corporation, VSSAD Technical Report, 2007. URL: <http://www.jaleels.org/ajaleel/publications/SPECAnalysis.pdf>

ИНФОРМАЦИЯ ОБ АВТОРАХ

Кожин Алексей Сергеевич, старший инженер, АО «МЦСТ», 119334, Москва, ул. Вавилова, д. 24, тел.: 8 (499) 135-31-08, e-mail: alexey.s.kozhin@mcst.ru.

Нейман-заде Мурад Искендер-оглы, к.ф.-м.н, начальник отделения, АО «МЦСТ», ПАО «ИНЭУМ им. И.С. Брука», 119334, Москва, ул. Вавилова, д.24, тел.: 8 (499) 135-88-69, e-mail: muradnz@mcst.ru.

Тихорский Владимир Васильевич, начальник отдела, АО «МЦСТ», 119334, Москва, ул. Вавилова, д.24, тел.: 8 (499) 135-35-51, e-mail: vladimir.v.tikhorskiy@mcst.ru.

For citation: Kozhin A.S., Neiman-zade M.I., Tikhorskiy V.V. Memory subsystem impact on the 8-core «Elbrus-8C» processor performance. Voprosy radioelektroniki, 2017, no. 3, pp. 13–21.

A. S. Kozhin, M. I. Neiman-zade, V. V. Tikhorskiy

MEMORY SUBSYSTEM IMPACT ON THE 8-CORE «ELBRUS-8C» PROCESSOR PERFORMANCE

In this paper, technologies and the memory subsystem of the 8-core «Elbrus-8C» processor are introduced. Cache size impact on the single-threaded performance and the multi-threaded performance scaling are discussed. Memory subsystem bandwidth and its impact on the processor performance are analyzed.

Keywords: processor performance, multi-core processor, memory subsystem, cache subsystem, memory bandwidth.

REFERENCES

1. Kozhin A. S., Polyakov N. Yu., Alfonso D.M., Demenko R.V., Klshin P.A., Kozhin E.S., Slesarev M.V., Smirnova E.V., Smirnov D.A., Smolyanov P.A., Kostenko V.O., Gruzhdov F.A., Tikhorskiy V.V., Sakhin Y. Kh. The 5th generation 28nm 8-core VLIW «Elbrus-8C» processor architecture. *Proceedings of the International Conference on Engineering and Telecommunication (EnT-2016)*, Moscow, 2016, pp. 85–89.
2. Alfonso D.M., Demenko R.V., Kozhin A.S., Kozhin E.S., Kolychev R.E., Kostenko V.O., Polyakov N.Y., Smirnova E.V., Smirnov D.A., Smolyanov P.A., Tikhorskiy V.V. Eight-core «Elbrus-8C» processor microarchitecture. *Voprosy radioelektroniki*, 2016, no. 3, pp. 6–13.
3. Kozhin A.S., Kozhin E.S., Kostenko V.O., Lavrov A.V. L3 cache and cache coherence support in «Elbrus-4C+» microprocessor. *Voprosy radioelektroniki*, 2013, vol. 4, no. 3, pp. 26–38.
4. Kozhin A. S., Sakhin Y. Kh. Signal commutation between cores and shared L3 cache in «Elbrus-4C+» microprocessor. *Voprosy radioelektroniki*, 2013, vol. 4, no. 3, pp. 5–14.
5. Varaksin V.N., Isaev M.V., Sakhin Y. Kh. Optimization of multiprocessing memory coherence protocol with directory in «Elbrus-4C+» microprocessor. *Voprosy radioelektroniki*, 2013, vol. 4, no. 3, pp. 14–26.

6. Jaleel A., Hasenplaugh W., Qureshi M., Sebot J., Steely Jr. S., Emer J. Adaptive insertion policies for managing shared caches. *Proceedings of the 17th international conference on Parallel architectures and compilation techniques. ACM*, 2008, pp. 208–219.
7. Henning J.L. SPEC CPU2006 benchmark descriptions. *ACM SIGARCH Computer Architecture News*. 2006, vol. 34, no. 4, pp. 1–17.
8. Jaleel A. [Memory characterization of workloads using instrumentation-driven simulation]. Intel Corporation, VSSAD Technical Report, 2007 (In Russ.). Available at: <http://www.jaleels.org/ajaleel/publications/SPECanalysis.pdf>

AUTHORS

Kozhin Alexey, senior engineer, JSC «MCST», 24, Vavilova st., Moscow, 119334, Russian Federation, tel.: +7 (499)135-31-08, e-mail: alexey.s.kozhin@mcst.ru.

Neiman-zade Murad, PhD, head of department, JSC «MCST», PJSC «Brook INEUM», 24, Vavilova st., Moscow, 119334, Russian Federation, tel.: +7 (499)135-88-69, e-mail: muradnz@mcst.ru.

Tikhorskiy Vladimir, head of department, JSC «MCST», PJSC «Brook INEUM», 24, Vavilova st., Moscow, 119334, Russian Federation, tel.: +7 (499) 135-35-51, e-mail: vladimir.v.tikhorsky@mcst.ru.